

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年6月7日 (07.06.2001)

PCT

(10) 国際公開番号
WO 01/41198 A1

(51) 国際特許分類⁷: H01L 21/027, H01F 7/20, H01L 21/82

(21) 国際出願番号: PCT/JP00/08466

(22) 国際出願日: 2000年11月30日 (30.11.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平 11/340359
1999年11月30日 (30.11.1999) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 大賀孝寛

(OGA, Takahiro) [JP/JP]. 山田利夫 (YAMADA, Toshio) [JP/JP]. 青木正和 (AOKI, Masakazu) [JP/JP]. 柳沢一正 (YANAGISAWA, Kazumasa) [JP/JP]. 川本洋 (KAWAMOTO, Hiroshi) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 須賀 治 (SUGA, Osamu) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).

(74) 代理人: 筒井大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo (JP).

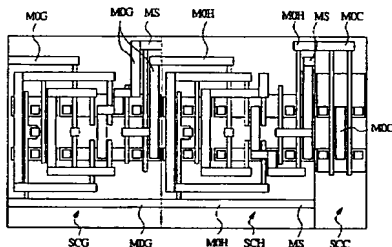
(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR FABRICATING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置および半導体集積回路装置の製造方法



(57) Abstract: In order to shorten the fabrication time of a semiconductor integrated circuit device, each circuit cell is made upper of a plurality of sub-cells (SCC, SCG, SCH) used commonly by a plurality of circuit cells and the pattern of the circuit cell is transferred by exposing every pattern of sub-cells (SCC, SCG, SCH) through partial batch exposure. One sub-cell can be used for partial batch exposure of a plurality of circuit cells. As compared with a structure where sub-cells are formed by simply decomposing a circuit cell, the number of partial batch exposure patterns (sub-cells) required for a partial batch exposure mask can be decreased significantly.

(57) 要約:

半導体集積回路装置の製造時間を短縮するために、回路セルを、複数の回路セルに共通に使用可能な複数のサブセル SCC, SCG, SCH で構成し、その回路セルのパターンを、それを構成する各サブセル SCC, SCG, SCH のパターン毎に部分一括露光処理によって露光することで転写したものである。1 個のサブセルを複数の回路セルのパターンの部分一括露光に使用できる。したがって、回路セルをただ単純に分解してサブセルを構成する場合に比べて、1 枚の部分一括露光用マスクに必要な部分一括露光図形 (サブセル) の数を大幅に低減することができる。



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体集積回路装置および半導体集積回路装置の製造方法

5 技術分野

本発明は、半導体集積回路装置および半導体集積回路装置の製造技術に関し、特に、電子線等のようなエネルギービームを用いたパターン露光技術に適用して有効な技術に関するものである。

10 背景技術

電子線等を用いた露光技術は、光の代わりに露光光源として適度に絞った電子線等を電子線感光レジスト膜に照射し、化学変化を起こさせることにより目的とするパターンを露光する技術であり、高解像性、深い焦点深度および柔軟性の高い位置合わせ機能を有していることからパターンの微細化を進める上で有望視されている。特に、電子線ビームの露光面のサイズを制御しながら露光する、いわゆる可変成形ビーム方式は、マスク・レチクル生産用およびウエハ直描用ともに主流となっている。

可変成形ビーム方式は、電子銃から放射された電子線を第1成形絞り板のアーチャーにより成形した後、その成形された電子線と、第2成形絞り板との相対的平面位置関係を成形専用の偏向系を用いて調整することにより、レジスト膜に露光するパターンの平面形状を目的形状および寸法に成形するものである。この可変成形ビーム方式を応用した部分一括露光方式は、上記第2成形絞り板（部分一括露光用マスク）に所定のパターンまたはパターン群を予め作り込んでおき、その所定のパターンまたはパターン群を一括して半導体ウエハ上のレジスト膜に転写する技術であり、この方式を用いることにより、パターン露光時間の大幅な短縮を図ることができる。

この部分一括露光方式については、例えば Wakabayashi 等の U S P 5 3 3 4 8

45 (1994. 8. 2 登録)に記載があり、第1のパターンを形成した第1の開口と、第1のパターンを繰り返した第2のパターンを形成した第2の開口と、更に矩形パターンを形成した第3の開口とを有するマスク基板を透過したビームをウエハに照射することで露光するパターンの露光技術について開示されている。また、例えば Sakitani 等の J. Vac. Sci. Technol. B 10 (6), Nov/Dec 1992, p 2759-p 2763 には、部分一括露光方式をASIC (Application Specific IC) の製造等に適用した場合について開示されている。さらに、例えば Mizuno 等の Hitachi Review Vol. 44 (1995), No. 2, p 85-90 には、部分一括露光方式をDRAM (Dynamic Random Access Memory) の製造等に適用した場合について開示されている。

ところが、部分一括露光技術においては、以下の課題があることを本発明者は見出した。

すなわち、半導体集積回路装置を構成するのに必要なセルライブラリ中の回路セル毎に、複数の部分一括露光図形が必要となるので、そのセルライブラリ全体を部分一括露光用のマスクに含ませようとする、1枚の部分一括露光用マスクに必要な部分一括露光図形が極端に増加する結果、1枚の部分一括露光用マスクに収めきれないという課題がある。部分一括露光で転写できないパターンについては可変成形ビーム方式を用いるため、半導体集積回路装置の製造工程におけるパターンの露光時間の短縮やスループットの向上を阻害する課題がある。

本発明の目的は、半導体集積回路装置の製造時間を短縮することのできる技術を提供することにある。

また、本発明の他の目的は、半導体集積回路装置の製造におけるスループットを向上させることのできる技術を提供することにある。

25 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明は、回路セルを、複数の回路セルに共通して使用可能な複数のサブセルを有する構成とし、1つの回路セルを構成するサブセル内には余剰パターン部分が存在するものである。

また、本発明は、回路セルを、複数の回路セルに共通して使用可能な複数のサブセルを有する構成とし、前記回路セルの全体パターンの転写に際して、各サブセルのパターン毎に部分一括露光処理を行う工程を有するものである。

10

図面の簡単な説明

図1は、回路セルの1種であるインバータセルの平面図である。

図2は、種々の回路セルの大きさを模式的に示した説明図である。

図3は、複合ゲート回路の説明図である。

15 図4は、図3の複合ゲート回路を分解した時の説明図である。

図5は、立ち上がりエッジトリガフリップフロップ回路の説明図である。

図6は、図5の複合ゲート回路を分解した時の説明図である。

図7(a)～(h)は本発明の一実施の形態である半導体集積回路装置の製造技術におけるサブセルのレイアウトデータの具体例の平面図である。

20 図8(a)～(e)は図7(a)のサブセルの各レイアウト層を示す平面図である。

図9(a)～(e)は図7(b)のサブセルの各レイアウト層を示す平面図である。

25 図10(a)～(e)は図7(c)のサブセルの各レイアウト層を示す平面図である。

図11(a)～(e)は図7(d)のサブセルの各レイアウト層を示す平面図である。

図12(a)～(e)は図7(e)のサブセルの各レイアウト層を示す平面図である。

図13 (a) ~ (e) は図7 (f) のサブセルの各レイアウト層を示す平面図である。

図14 (a) ~ (e) は図7 (g) のサブセルの各レイアウト層を示す平面図である。

- 5 図15 (a) ~ (e) は図7 (h) のサブセルの各レイアウト層を示す平面図である。

図16は、図7のサブセルを用いて図5および図6に示した立ち上がりエッジトリガフリップフロップ回路を構成した場合のパターンレイアウトの平面図である。

- 10 図17は、図16で用いたサブセルの組合せを変えることで立ち下がりエッジトリガフリップフロップ回路を構成した場合のパターンレイアウトの平面図である。

図18は、本発明の一実施の形態である半導体集積回路装置の製造工程の説明図である。

- 15 図19は、本発明の一実施の形態である半導体集積回路装置の製造工程で用いる電子線露光装置の一例の説明図である。

図20は、図19の電子線露光装置の部分一括露光技術の説明図である。

図21は、図19の電子線露光装置の変形成露光技術の説明図である。

- 20 図22は、図19の電子線露光装置の部分一括露光用マスクの平面図である。

図23は、図22の部分一括露光用マスクの要部拡大平面図である。

図24は、本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図である。

- 25 図25は、図24に続く半導体集積回路装置の製造工程における要部断面図である。

図26は、図25に続く半導体集積回路装置の製造工程における要部断面図である。

図27は、図26に続く半導体集積回路装置の製造工程における要部断面図である。

図 28 は、図 27 に続く半導体集積回路装置の製造工程中における要部断面図である。

図 29 は、図 28 に続く半導体集積回路装置の製造工程中における要部断面図である。

- 5 図 30 は、図 29 に続く半導体集積回路装置の製造工程中における要部断面図である。

図 31 は、本発明の一実施の形態である半導体集積回路装置の製造方法により製造された半導体集積回路装置を構成する半導体チップの全体平面図である。

- 10 図 32 は、図 28 の半導体集積回路装置の要部拡大平面図である。

図 33 は、図 28 および図 29 の半導体集積回路装置の要部断面図である。

図 34 は、本明細書中で用いる回路セルの説明図である。

図 35 は、本明細書中で用いるライブラリの説明図である。

- 15 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。同様に、以下の実施の形態において、構成要素等の形状、
25 位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本明細書中において用いる用語の基本的な意味について説明すると次の通

りである。

1. 回路セル：単一又は複数のライブラリ、に登録されている標準セル、マクロセル等の総称である（図34および図35参照）。

2. 標準セル：複数の例えば数百程度の標準の単位論理回路又は信号処理回路を回路セルとして、ライブラリに登録したもの。内部配線が最下層のメタル配線で接続され、上層のメタル配線等を使用していない正規標準セルと、それ以外の特殊標準セルとに分類される（図34および図35参照）。

本発明において標準セルは単一又は複数のサブセルに分解可能で、各サブセルは電子線部分一括直描（EBセルプロジェクション）の単位ショットに対応している。同一の正規標準セル内の隣接するサブセル間は少なくとも1つの最下層配線で相互に電氣的に接続されている。

3. マクロセル：一般に先行して設計された機能回路、システム回路、すなわち、CPU（Central Processing Unit）、RAM（Random Access Memory）、DSP（Digital Signal Processor）または上記標準セルと比較して大規模のランダムロジック等である（図34および図35参照）。

マクロセル領域は、上記標準セルに還元できない非標準セル部を有することを特徴とし、更に上記標準セルに還元できる標準セル部を有することができる。

4. セルベース型集積回路：標準セルを適宜ライブラリから抽出することで、標準セルレイアウト領域を設計するセミカスタムIC。

5. 部分一括直描：電子線（イオンビームまたはレーザ直描を含む）等によるエネルギービームを第1の開口部（例えば半導体ウエハ上のパターンの25倍の寸法）と、第2の開口部（例えば半導体ウエハ上のパターンの25倍の寸法）とで可変矩形ビーム（その他の形状も可能）を形成および上記第2の開口部の複数の所定の回路パターンに対応したセルパターン群から1つを選択することによって、半導体ウエハの露光すべき部分の実質的に全体を露光する方式である。

6. 半導体ウエハ：半導体集積回路装置を形成するための基板であって、一般にシリコン単結晶からなる。絶縁体や半導体基板上にエピタキシャル層、その他の半導体層や絶縁層を形成して集積回路を形成する基板を含む。例えば絶縁層上に

素子形成用の半導体層を設けたSOI (Silicon On Insulator) 基板や半導体基板の表面にエピタキシャル層を形成したエピタキシャルウエハを含む。

また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等のような半導体や絶縁体基板上に作られるものだけでなく、特に、

- 5 そうでない旨明示された場合を除き、TFT (Thin-Film-Transistor) およびSTN (Super-Twisted-Nematic) 液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

7. 共通図形とは、サブセルの所定のプロセス層を構成する開口図形またはアイランド図形 (又は線状図形) のことをいう。サブセルは、複数のレイアウト層の
10 共通図形を有しており、異なるレイアウト層の各共通図形相互間の平面位置座標、電氣的接続状態等のような相互関係情報を有している。

8. レイアウト層は、同一形成・露光工程時または同一加工高さに形成されるもので分けられ、具体的には半導体集積回路装置を構成する活性領域の層、ゲート部の層、コンタクトホールやスルーホール等のような孔の層あるいは最下層配線
15 等のような配線の層等がある。

9. 最下層配線とは、標準セル内の素子や電極間を電氣的に接続する配線であって、最も下層のメタル配線パターンである。通常、素子を構成する半導体領域 (例えばソース・ドレイン領域) と直接的に接触し電氣的に接続される。

- 本実施の形態においては、例えばセルベース型集積回路 (半導体集積回路装置) を構成する集積回路パターン (単にパターンともいう) を、部分一括露光方式を用いた露光技術を用いて露光 (転写) する場合に、本発明の技術思想を適用した場合について説明する。なお、本実施の形態においては、pチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) をpMISと略し、nチャネル型のMISFETをnMISと略す。
20

- 25 まず、セルベース型集積回路等を構成する回路セルの大きさについて説明する。図1は回路セルの1種であるインバータセル INVC のセルライブラリ中のデータ上の平面レイアウト図を例示している。このインバータセル INVC は、例えばCMIS (Complementary Metal Insulator Semiconductor) インバータ回路

- を構成するためのセルであり、活性領域LP、LNと、ゲート部Gと、孔CONTと、最下層配線M0とを有している。活性領域LPにはpMISのソース・ドレインが形成され、活性領域LNはnMISのソース・ドレインが形成される。ゲート部GはpMISおよびnMISのゲート電極を形成する平面帯状のパターンであり、pMISおよびnMISの両方の活性領域LP、LNに横切るように配置されている。孔CONTは、異層間を接続する孔パターンであり、ゲート部Gの両側近傍において活性領域LP、LNに平面的に重なる位置およびゲート部Gと最下層配線M02とが平面的に重なる位置に形成されている。最下層配線M0(M01, M02)は標準セル内の素子や電極間を電氣的に接続する配線であって、最も下層のメタル配線パターンである。最下層配線M01は、孔CONTを通じて活性領域LP、LNと接続されてCMISインバータ回路の出力となっている。最下層配線M02は、孔CONTを通じてゲート部Gと接続されてCMISインバータ回路の入力となっている。このインバータセルINVCの大きさはピッチという単位で表されている。例えばインバータセルINVCの高さ(インバータセルINVCの長手方向寸法)hは12ピッチ、幅(インバータセルINVCの幅方向寸法)wは3ピッチである。通例1配線/1ピッチに相当する。ここで、1ピッチを、例えば0.4 μ m程度とすると、インバータセルINVCの高さhは12ピッチなので4.8 μ mとなる。この寸法であれば、本実施の形態で用いる露光装置の部分一括露光における1ショット内に収まる大きさになる。
- 図2は種々の回路セルの大きさを模式的に示した説明図である。縦軸がセル種の一例、横軸がセル幅を表している。また、部分一括露光可能セル領域CAは部分一括露光方式の1ショットで露光が可能な領域を示し、部分一括露光不可能セル領域NCAは部分一括露光方式の1ショットでは露光することが不可能な領域を示している。セルベース型集積回路であるロジックLSIの設計は、インバータ回路、NAND回路、ラッチ回路等のような標準セルを多数揃えたセルライブラリをベースにして、その標準セルの組み合わせによって行うのが一般化している。通常、回路セルは高さは均一である。大きい回路セルは幅が長くなる。この図2から分かるように複合ゲート回路やフリップフロップ回路等は、部分一括露光方式の1ショットで露光可能な12 \times 12ピッチ(半導体ウエハ上において

約 $5 \times 5 \mu\text{m}$) に収まらない。

- 例えば図3には複合ゲート回路およびその大きさが示されている。この複合ゲート回路は、3つの3入力AND回路と1つの3入力NOR回路とで構成されており、各3入力AND回路の出力は3入力NOR回路の入力に電氣的に接続されている。特に限定されないが、この複合ゲート回路の大きさ（高さ $h \times$ 幅 w ）は、例えば12ピッチ \times 11～18ピッチであり、部分一括露光方式の1ショットで露光可能な12 \times 12ピッチに収まらない。そこで、本実施の形態においては、図3の回路セル（複合ゲート回路）を図4に示すように12 \times 12ピッチに収まる基本図形からなるサブセルSC1、SC2に分解して構成する。サブセルSC1は、例えば3つの3入力AND回路と1つの3入力OR回路とを有し、その幅 w_1 は12ピッチである。サブセルSC2は、例えば1つのインバータ回路を有し、その幅 w_2 は3～6ピッチである。このサブセルSC1、SC2は部分一括露光が可能なので、そのサブセルSC1、SC2毎に部分一括露光することで上記複合ゲート回路全体を露光することが可能となる。
- また、例えば図5には立ち上がりエッジトリガフリップフロップ回路およびその大きさが示されている。この立ち上がりエッジトリガフリップフロップ回路は、2つのインバータ回路と、4つの2入力AND回路と、4つの2入力NOR回路と、バッファ回路とで構成されている。特に限定されないが、この立ち上がりエッジトリガフリップフロップ回路の大きさ（高さ $h \times$ 幅 w ）は、例えば12ピッチ \times 15～17ピッチであり、部分一括露光方式の1ショットで露光可能な12 \times 12ピッチに収まらない。そこで、本実施の形態においては、図5の回路セルを図6に示すように12 \times 12ピッチに収まる基本図形からなるサブセルSC3、SC4、SC5に分解して構成する。図6のサブセルSC3は、例えばインバータ回路と、2つの2入力AND回路と、2つの2入力NOR回路とを有し、その幅 w_1 は、例えば9ピッチである。サブセルSC4は、例えば2つのインバータ回路と、2つの2入力AND回路と、2つの2入力NOR回路とを有し、その幅 w_2 は、例えば9ピッチである。サブセルSC3、SC4は、大きさ

が等しく、それら双方の回路構成も図6の上側のAND回路の入力にインバータ回路の出力が接続されている（SC4）か否か（SC3）だけが異なり他は同じである。サブセルSC5の回路構成は、図4のサブセルSC2と同じであるが、その幅 w_3 は、例えば3ピッチである。このサブセルSC3～SC5は部分一括露光が可能なので、そのサブセルSC3～SC5毎に部分一括露光することで上記立ち上がりエッジトリガフリップフロップ回路全体を露光することが可能となる。

ところで、このような回路セルの分解において、ただ単純に分解したのでは、各回路セル毎に複数の部分一括図形（サブセル）が必要となることから部分一括図形（サブセル）が極端に増加し、1枚の部分一括露光用マスクに収めきれない。そこで、本実施の形態においては、回路セルをサブセルに分割する場合に、例えば次のようにする。第1に、サブセルは、なるべく（可能な限り）複数の回路セルの構成部として共通して使用可能な図形（パターン）とする。これにより、1つのサブセルを複数の回路セルの露光に使用できる。第2に、サブセルは、2種またはそれ以上のサブセルの配置（接続）や組み合わせの仕方あるいは2種またはそれ以上のサブセルと標準セルやマクロセルとの配置（接続）や組み合わせの仕方等によって種々（複数）の回路セル（機能）を表現できる図形（パターン）とする。これにより、少ないサブセルでも組合せの仕方を種々変更することで複数の回路セルを表現できる。第3に、サブセルの分割においては、1つのゲート部、活性領域および孔を分割してしまわないようにする。これにより、サブセル間のパターンの平面位置合わせずれ等による素子の電気的特性不良を防止できる。

このような本実施の形態によれば、回路セルをただ単純に分解してサブセルを構成する場合に比べて、1種または2種以上の半導体集積回路装置におけるパターンを転写するために1枚の部分一括露光用マスクに必要な部分一括露光図形（サブセル）の数を極端に低減することができる。すなわち、1種または2種以上の半導体集積回路装置のパターン露光に際して、パターンの全部またはその大半を部分一括露光処理によって露光することが可能となる。このため、半導体集積回路装置における全パターンの露光時間を大幅に短縮することができる。した

がって、半導体集積回路装置の開発期間や製造時間を大幅に短縮することが可能となる。また、半導体集積回路装置のスループットを大幅に向上させることが可能となる。さらに、部分一括電子線露光装置の部分一括露光用マスクは、エキシマレーザ光等を光源とする露光装置のマスクにおける価格の $1/4 \sim 1/5$ 程度で済むので、半導体集積回路装置の製造コストの低減を推進することが可能となる。なお、これら効果はフォトマスクにおけるパターンの転写についても同様の効果が得られる。

このようなサブセルのセルライブラリ中のレイアウトデータ的具体例を図7～図15に示す。なお、図8～図15の(b)～(e)は各図(a)を各レイアウト層に分解して示したものである。また、図8～図15には各レイアウト層の

パターンの相対的な平面位置関係が分かるようにX、Y座標を示す。

サブセルSCAは、上記サブセルSC2、SC5をレイアウト表現したものであり、活性領域LPA、LNAと、ゲート部GAと、複数の孔CONTAと、2本の最下層配線MOA(MOA1、MOA2)とを有している。

サブセルSCBは、上記CMISインバータセルINVCと同じ構成となっており、活性領域LPB(LP)、LNB(LN)と、ゲート部GB(G)と、孔CONTB(CONT)と、最下層配線MOB(MOB1、MOB2、MO)とを有している。このサブセルSCBは、活性領域LPB、LNBのサブセルSCB長手方向の寸法がサブセルSCAよりも広い。それ以外はサブセルSCAと同じである。なお、活性領域LPB、LNB、ゲート部GB、孔CONTBおよび最下層配線MOB(MOB1、MOB2)は、それぞれCMISインバータセルINVCの活性領域LP、LN、ゲート部G、孔CONTおよび最下層配線MO(MO1、MO2)と同じものである。

サブセルSCCは、活性領域LPC、LNCと、2本のゲート部GCと、孔CONTCと、2本の最下層配線MOC(MOC1、MOC2)とを有している。活性領域LPC、LNCは、サブセルSCBの活性領域LPB、LNBと同じである。ゲート部GCは、活性領域LPC、LNCを横切るように平行に2本配置されて

いる。孔CONTC は、異層間を接続するための領域であって、ゲート部GC の近傍に活性領域LPC , LNC に重なるように配置されている。最下層配線MOC1 は、2本のゲート部GC 間に配置されており、孔CONTC を通じて活性領域LPC , LNC と電氣的に接続される情報を有する。最下層配線MOC2 は、孔CONTC を通じて2本のゲート部GC と電氣的に接続される情報を有する。

サブセルSCDは、活性領域LPD , LND と、ゲート部GD と、孔CONTD と、最下層配線MOD (MOD 1, MOD 2) とを有している。このサブセルSCDは、最下層配線MOD 2の位置、ゲート部GD の幅広部の位置およびこれらを接続する孔CONTD の位置がサブセルSCAと異なる。それ以外はサブセルSCAと同じである。

サブセルSCEは、活性領域LPE , LNE と、ゲート部GE と、孔CONTE と、最下層配線MOE (MOE 1, MOE 2) とを有している。このサブセルSCEの活性領域LPD , LND のY軸方向の寸法はサブセルSCDよりも広い。それ以外はサブセルSCDと同じである。

サブセルSCFは、活性領域LPF , LNF と、2本のゲート部GF と、孔CONTF と、最下層配線MOF (MOF 1, MOF 2) とを有している。このサブセルSCFの最下層配線MOF 2の位置、ゲート部GF の幅広部の位置およびこれらを接続する孔CONTF の位置はサブセルSCCと異なる。それ以外はサブセルSCCと同じである。

サブセルSCGは、上記サブセルSC3 (図6参照)をレイアウト表現したものであり、活性領域LPG , LNG と、複数のゲート部GG と、複数の孔CONTG と、複数の最下層配線MOG とを有している。

サブセルSCHは、上記サブセルSC4 (図6参照)をレイアウト表現したものであり、活性領域LPH , LNH と、複数のゲート部GH と、複数の孔CONTH と、複数の最下層配線MOH とを有している。

これらサブセルSCA~SCHは、個々独立したものではなく、適宜組み合わせられることで所定の回路セルを構成できるように、例えば電氣的特性や各サブ

セルSCA～SCHを構成するパターン（例えばゲート部や最下層配線等）の状態（例えば平面位置座標や寸法）等が関連性や共通性を持つように設計されている。なお、サブセルSCA～SCHの高さは全て等しく、例えば12ピッチである。サブセルSCA～SCFのセル幅は、例えば3ピッチである。サブセルSCG、SCHのセル幅は、例えば9ピッチである。活性領域LPA～LPHは、pMISのソース・ドレインが形成される領域であり、活性領域LNA～LNHは、nMISのソース・ドレインが形成される領域である。ゲート部GA～GHは、MISのゲート電極を形成する領域である。孔CONTA～CONTHは、異層間を接続する孔パターンである。最下層配線M0A～M0Hは回路セル内の素子や電極間を電気的に接続する配線であって、最も下層のメタル配線パターンである。ここでは、サブセルSCA～SCH内の配線は全て最下層配線M0A～M0Hで行われている。

次に、これらサブセルSCA～SCHを用いて所定の回路を構成する場合の一例を説明する。

図16は、サブセルSCC、SCG、SCHを用いて図5および図6に示した立ち上がりエッジトリガフリップフロップ回路を構成した場合のデータ上のパターンレイアウト平面図を示している。サブセルSCGの後段にサブセルSCHが配置され、さらにその後段にサブセルSCCが配置されている。この場合、立ち上がりエッジトリガフリップフロップ回路は、サブセルSCC、SCG、SCH間が最下層配線M0C、M0G、M0Hによって電気的に接続されることにより構成されている。各サブセルSCC、SCG、SCHは、上記のように12×12ピッチ内に収まるので、各サブセルSCC、SCG、SCHの各レイアウト層毎に1ショットの部分一括露光で露光できる。

また、図17は、上記と同じサブセルSCC、SCG、SCHを用いて立ち下がりエッジトリガフリップフロップ回路を構成した場合のデータ上のパターンレイアウト平面図を示している。立ち下がりエッジトリガフリップフロップ回路も、サブセルSCC、SCG、SCH間が最下層配線M0C、M0G、M0Hによって電気的に接続されることにより形成されている。

図16および図17を比較すると分かるように、立ち下がりエッジトリガフリップフロップ回路のレイアウト構成は、サブセルSCG、SCHの配置順が立ち上がりエッジトリガフリップフロップ回路に対して入れ替わることにより構成されている。すなわち、サブセルSCG、SCHの組み合わせ方（配置の仕方）
5 を変えるだけで異なる回路を表現することが可能となっている。また、例えばサブセルSCCに代えて、他のサブセルSCD、SCE、SCFを用いることにより、立ち上がりエッジトリガフリップフロップ回路や立ち下がりエッジトリガフリップフロップ回路の出力を反転させることも可能である。さらに、例えばサブセルSCCに代えて、他のサブセルSCA、SCBを用いることにより、立ち上
10 がりエッジトリガフリップフロップ回路や立ち下がりエッジトリガフリップフロップ回路の駆動能力を変えることも可能である。なお、図16および図17はレイアウトデータを示しているが、半導体ウエハやフォトマスク上に実際に転写されるパターンもほぼ同じ平面形状になる。

ここで、フリップフロップ回路の種類は、トリガ2通り（ポジエッジ（立ち上
15 がりエッジ）、ネガエッジ（立ち下がりエッジ））、出力極性2通り（Q、Qバー）、出力ドライバビリティ3通りとすると、 $2 \times 2 \times 3 = 12$ 通り存在する。フリップフロップ回路のセル幅は15～17ピッチ程度なので部分一括露光はできない。ここで、単純にフリップフロップ回路のレイアウトパターンを分割すると、1つのフリップフロップあたり2つの露光図形が必要となるので、 $12 \times$
20 $2 = 24$ 個の露光図形が必要になってしまう。一方、本実施の形態のように共通性や相互組み合わせ性を有するサブセルSCを用いた場合には、8個の露光図形で12通りのフリップフロップ回路を露光することが可能となる。したがって、部分一括露光用マスクに形成するパターン（部分一括露光パターン、すなわちサブセルのパターン）の数を大幅に低減することが可能となる。

25 また、図7に示したように、異なるサブセルSCA～SCHであっても、サブセルSCA～SCH内の各部のパターンの形状が同じ場合もある。例えばサブセルSCA、SCBのゲート部GA、GB、孔CONTA、CONTBおよび最下層配線MOA、MOBは互いにパターン形状が同じである。そこで、このような場合は、その

同一形状のパターンを部分一括露光用マスクに1つだけ形成し、そのパターンを複数のサブセルのパターンの露光に用いるようにすることもできる。すなわち、部分一括露光用マスクに形成されたマスクパターンを複数のサブセルのパターンの露光に使用することもできる。これにより、部分一括露光用マスクに必要な

5 パターンの数をさらに低減させることができる。このようにサブセルに共有のパターンが存在する場合は、そのサブセルの情報として、そのパターンを露光する場合は他のサブセルの所定のパターンを用いて露光する等のような情報を記しておく。

ところで、本実施の形態においては、上記したようにサブセルSCA～SCH

10 が互いに共通性や組合せ性を考慮して設計していることからサブセル内に回路の構成には直接寄与しないパターン部分（余剰パターン部分）が生じる場合がある。例えば図16および図17においては、最下層配線M0G、M0Hの一部が余剰パターン部分MSとなっている（サブセルの出力端子側等）。この余剰パターン部分MSは、その終端で他の構成部と接続されることなく途中で途切れて自由

15 端となっており、立ち上がりエッジトリガフリップフロップ回路および立ち下がりエッジトリガフリップフロップ回路を構成する上において特に使用される配線部分ではないが、サブセルSCG、SCHと他のサブセルとを組合せて他の回路セルを構成する場合においては必要である。このような余剰パターン部分を設けたことにより、1つのサブセルを複数のサブセルに使用可能となる他、余剰パ

20 ターン部分により、同じ複数のサブセルを用いて構成された異なる回路セル間の電気的特性、例えば抵抗値または容量値あるいはこれらによって決まる信号の遅延時間等を揃えることが可能となる。したがって、半導体集積回路装置の回路設計を容易にすることが可能となる。また、半導体集積回路装置の動作信頼性を向上させることが可能となる。

25 次に、本実施の形態の半導体集積回路装置の設計から露光までの工程を説明する。図18は、その工程の一例を示している。

まず、論理設計工程においては、レジスタトランスファレベルというプロセス

フリーの記述に基づいて設計を行う。レジスタトランスファレベルは、半導体集積回路装置の動作において、レジスタ間の信号のやりとり（データ転送）を明確に規定したレベルである（工程 101）。続いて、セルライブラリ CL を用いて論理合成を行うことにより（工程 102）、ゲートレベルネットリストを作成する（工程 103）。セルライブラリ CL には、ある世代のプロセスにおける複数の回路セル（標準セルやマクロセル等）がデータとして記憶されている。本実施の形態においては、そのライブラリ CL 内の各回路セルが、それぞれの回路セル独自の情報の他に、複数の回路セルに共通して使用可能な共通図形の情報（上記図 7 で示したサブセル SCA～SCH 等）およびその組合せ情報（図 16、図 17 参照）を有している。共通図形の情報はファイル FA に記憶され、組合せ情報はファイル FB に記憶されている。この際に用いられるセルライブラリ CL 内の回路セルは通常約 500 種類存在し、共通図形単独のセルと、共通図形および組合せ情報で構成されるセルとからなるが、ユーザは共通図形（サブセル）の組合せを意識することなく、これらの回路セルを取り扱うことができる。ただし、セルライブラリ CL には、ROM（Read Only Memory）や RAM（Random Access Memory）等のように共通図形に分解しないセルを配置しておいても良い。なお、ネットリストは、半導体集積回路装置の論理回路の接続関係を表した設計データであって、コンピュータが処理できる形式になっている。一般的には、データをコンパクトにするため、接続関係を階層的に記述している。

次いで、ゲートレベルネットリストをレイアウトツールによってレイアウトする（工程 104）ことにより、ストリームフォーマットを作成する（工程 105）。この際、セルライブラリ CL のストリームフォーマットもしくは外形および端子の情報が必要となる。続いて、ストリームフォーマットを用いて電子線（EB；Electron Beam）露光データ変換を行う（工程 106）。この過程において、回路セルで構成される部分は、共通図形（サブセル）および組合せ情報を用いて部分一括用露光データ DA となり、それ以外の部分は、可変成形用露光データ DB となる。その後、部分一括用露光データ DA および可変成形用露光データ DB を用いて EB 露光を行う（工程 107）。

次に、本実施の形態において用いる EB 露光装置の一例を説明する。本実施の

形態のEB露光装置は、通常の変形成形EB露光に加えて、部分一括EB露光が可能となっている。部分一括EB露光技術は、電子線露光装置の成形絞り板（アパーチャ）において予めビーム偏向により露光可能な領域（単位偏向領域）内に複数の部分一括露光パターンを作り込んでおき、各部分一括露光パターンを半導体ウエハ上のレジスト膜に1ショットで転写する技術である。また、このEB露光装置は、半導体ウエハ上の感電子線レジスト膜（以下、単にレジスト膜という）に所定のパターンを直接露光することもできるし、フォトマスクやレチクルあるいは位相シフトマスク等のようなマスク基板上のレジスト膜にパターンを露光することもできる。なお、マスク基板は、通常の光投影露光技術によって半導体ウエハ上のフォトリソ膜に所定のパターンを転写するための光学マスク用の基板である。

このEB露光装置を図19～図21に示す。図19はEB露光光学系を示し、図20は部分一括EB露光の説明図、図21は可変形成形EB露光の説明図をそれぞれ示している。

EB露光装置1を構成する電子銃1Aと処理台1Bとの間には、第1成形絞り板（アパーチャマスク）1C1、成形レンズ1D1、図形選択用の偏向器1E1、可変矩形用の偏向器1E2、回転レンズ1D2、成形レンズ1D3、電子線振り返し用の偏向器1E3、第2成形絞り板（アパーチャマスク）1C2、縮小レンズ1D4、第1アライナー1F1、回転レンズ1D5、第1アライナー1F2、縮小レンズ1D6、対物レンズ1D7、フィールド（主、副、副副）選択用の3段偏向器1E4、対物レンズ1D8が設置されている。なお、処理台上には上記レジスト膜が主面に塗布された半導体ウエハ2がセットされている。半導体ウエハ2は、例えば平面略円形状のシリコン（Si）単結晶からなり、一部には位置合わせ等の目的から切り欠き部2aが形成されている。

第1成形絞り板1C1には、矩形状の開口部（アパーチャ）AP1が形成されている。この第1成形絞り板1C1は、その平面に平行な第1方向と、その平面に平行で、かつ、第1方向に対して交差する第2方向に沿って移動可能になっている。

第2成形絞り板1C2は、上記部分一括露光用マスクに相当するものである。
この第2成形絞り板1C2には、複数種の開口部（単位偏向領域）AP2が形成されている。各開口部AP2内の中央には、通常の変形成形露光用の開口部AP3が1個設けられている。また、各開口部AP2において開口部AP3の周りに
5 は、部分一括露光図形領域PAが複数個設けられている（図20および図21参照）。変形成形露光用の開口部AP3は通常の変形成形露光で用いる開口部である。また、部分一括露光図形領域PAは、上記部分一括露光パターンを形成するための開口部である。この第2成形絞り板1C2については後述する。

部分一括露光処理においては、上記第1成形絞り板1C1の矩形の開口部AP
10 1が、第2成形絞り板1C2の機械的な移動および成形レンズ1D1によって第2成形絞り板1C2の所定の開口部AP2上に選択的に結像され、さらに、その選択された開口部AP2内の複数の部分一括露光図形領域PAの1つがビーム偏向によって選択されることにより、半導体ウエハ2上のレジスト膜に転写されるようになっている。このEB露光装置1においては、ビーム偏向により約5×
15 5μm程度（半導体ウエハ2上での換算）の図形を複数種類露光することができる。EB露光装置1の上記ビーム偏向は、精度が高く高速露光が可能なので、ビーム偏向により露光領域を選択できる範囲（すなわち、各開口部AP2内）においては、第2成形絞り板1C2の複数の図形（部分一括露光図形）を連続的に高速に部分一括露光することができる。したがって、本実施の形態のEB露光装置
20 1を用いることにより露光時間を大幅に短縮することが可能となる。また、スループットの向上が図れる。一方、変形成形露光処理においては、第1成形絞り板1C1の開口部AP1と、第2成形絞り板1C2の所定の開口部AP2内の開口部AP3との平面的な重なり領域で形成される矩形パターンが、半導体ウエハ2のレジスト膜に転写されるようになっている。

25 上記矩形の開口部AP1、開口部AP2内の部分一括露光図形領域PAおよび開口部AP3に対するEB照射位置は転写偏向系によって選択され、図形ビームと可変矩形ビームとが形成されるようになっている。すなわち、可変成形ビーム

- の場合は、E B 露光装置 1 の露光データに応じて可変矩形偏向によりビームの偏向が行われ、図形ビームの場合は、図形選択偏向（偏向器 1 E 1）と振り戻し偏向（偏向器 1 E 3）とが連動されてビームの偏向が行われるようになっている。
- 成形ビームは縮小レンズ 1 D 4, 1 D 6 により、例えば $1/25 \sim 1/100$ 程度に縮小され、対物偏向系により半導体ウエハ 2 のレジスト膜の露光面に投影される。可変矩形ビームの露光位置は偏光器 1 E 4 の主偏向、副偏向および副副偏向の総和で指定される。可変矩形に対する図形ビームの相対位置は副偏向に加算される構造になっている。露光制御では 1 つの副副偏向領域内に 1 つの図形ビームが定義される。したがって、2 種の図形ビームが近傍に露光される場合でも異なる副副偏向領域として処理される。第 1, 第 2 アライナー 1 F 1, 1 F 2 は、可変矩形の軸調整のために配置されている。可変矩形から各図形ビームに移行した場合の軸補正は振り戻し偏向を微調整することにより実行される。成形レンズ 1 D 1, 1 D 3、縮小レンズ 1 D 4, 1 D 6 内に第 1, 第 2 成形絞り板 1 C 1, 1 C 2 の回転補正用の回転レンズ 1 D 2, 1 D 5 が配置されている。倍率補正は 2 段縮小レンズを逆励磁とし、その電流強度を等しく調整し無回転で実行可能である。なお、図 2 0 および図 2 1 において符号 B A はビーム成形偏向方向を示し、符号 B B はビーム縮小／偏向方向を示している。また、符号 S A は部分一括 E B 露光による部分一括ショットを示し、符号 S B は可変成形 E B 露光による可変成形ショットを示している。
- 次に、上記 E B 露光装置 1 の第 2 成形絞り板 1 C 2 の平面図を図 2 2 および図 2 3 に示す。図 2 2 に示すように、第 2 成形絞り板 1 C 2 は、例えば平面正方形状に形成されたシリコン (S i) 等を主体として形成されている。第 2 成形絞り板 1 C 2 の各開口部 A P 2 の中央には、例えば可変成形露光用の開口部 A P 3 が 1 個配置されている。開口部 A P 3 には、例えば平面形状は矩形状に形成されたパターン（可変成形用）が配置されている。また、上記各開口部 A P 2 内において、その中央の開口部 A P 3 の周囲には、複数の上記部分一括露光用の部分一括

露光図形領域PAが配置されている。開口部AP2, AP3の部分においては第2成形絞り板1C2の厚さが部分的に薄くされ、その薄くされた領域内に所定のパターンが形成されている。移動方向MAで示す開口部AP2間の露光対象領域の移動は第2成形絞り板1C2の機械的な移動によって行われる。

- 5 部分一括露光用の開口部AP2の平面寸法は、EB露光装置1のビーム偏向によりパターンの露光が可能な寸法に設定されている。図23に示すように、各開口部AP2内の上記複数の部分一括露光図形領域PAは、図23の縦横方向に敷き詰められるように所定の間隔毎に規則的に配置されている。各部分一括露光図形領域PAの平面寸法は、1ショットの露光で露光可能な寸法であり、例えば半
- 10 導体ウエハ上で換算すると、例えば $5 \times 5 \mu\text{m}$ 程度に収まる大きさに設定されている。例えばEB露光装置1の縮小率を $1/25$ とすると、部分一括露光図形領域PAの平面寸法は $125 \times 125 \mu\text{m}$ 程度である。この部分一括露光図形領域PAには、上記した共通図形（サブセルの所定層のパターンまたはパターン群）が形成されている。この開口部AP2内においては隣接する部分一括露光図形領
- 15 域PA間の移動がビーム偏向Bによって制御可能である。

- この第2成形絞り板1C2に形成される半導体集積回路装置のパターン配置の具体例を説明すると次の通りである。図22に示した開口部AP2には、例えば図22の左上から1番目の開口部AP2は半導体集積回路装置の活性領域を転写する領域、その右隣の2番目の開口部AP2は半導体集積回路装置のゲート部を形成する領域というように、半導体集積回路装置の各レイアウト層が割り当てられている。そして、各開口部AP2内には、例えば図23の左上から1番目の部分一括露光図形領域PAは図7の(a)の活性領域のパターン、その右隣の2番目の部分一括露光図形領域PAは図7の(b)の活性領域のパターンというように、異なるセル（回路セルやサブセル）の同一レイアウト層のパターン
- 20 が形成されている。ただし、上記したように、セル（回路セルやサブセル）が異なっても露光図形（パターン）が同じ場合（例えば図7の(a)、(b)の
- 25

ゲート部GA, GB)には、1つの部分一括露光図形領域PAのパターンを用いて、異なる複数のサブセルのパターンを露光することもできる。

次に、本実施の形態の半導体集積回路装置の製造方法の一例を説明する。

図24は本実施の形態の半導体集積回路装置の製造工程中における半導体ウエハ2の要部断面図を示している。上記半導体ウエハ2を構成する半導体基板2Sは、例えばp-形のSi単結晶からなり、その主面には、例えばnウエル3nおよびpウエル3pが形成されている。nウエル3nには、例えばリンまたはAsが導入され、pウエル3pには、例えばホウ素が導入されている。半導体基板2Sの主面には、例えば溝型の分離部(トレンチアイソレーション)4が形成されている。すなわち、分離部4は、半導体基板2Sの厚さ方向に掘られた溝内に、例えば酸化シリコン膜からなる絶縁膜が埋め込まれて形成されている。なお、分離部4をLOCOS(Local Oxidization of Silicon)法等によって形成されたフィールド絶縁膜で形成しても良い。

この分離部4によって囲まれた活性領域5LP, 5LNには、それぞれpMISQpおよびnMISQnが形成されている。pMISQpのソース・ドレイン用の一対の半導体領域6は、例えばホウ素が導入されてp型に設定され、nMISQnのソース・ドレイン用の一対の半導体領域7は、例えばリンまたはヒ素が導入されn型に設定されている。nMISQnおよびpMISQpの半導体領域6, 7は、LDD(Lightly Doped Drain)構造を有している。すなわち、pMISQpのソース・ドレイン用の半導体領域6は、低濃度領域6aと高濃度領域6bとを有している。また、nMISQnの半導体領域7は、低濃度領域7aと高濃度領域7bとを有している。低濃度領域6a, 7aは、相対的に不純物濃度が低く、チャネル側に設けられている。また、高濃度領域6b, 7bは、相対的に不純物濃度が高く、チャネルから低濃度領域6a, 7a分だけ半導体基板2Sの主面に水平な方向に離間した位置に形成されている。また、半導体領域6, 7の上面には、例えばタングステンシリサイドまたはコバルトシリサイド等のよう

なシリサイド層 8 が形成されている。さらに、nMISQn および pMISQp は、パンチスルーストップパ用の半導体領域 9p, 9n を有している。半導体領域 9p は、例えばホウ素が導入されてなり、nMISQn の半導体領域 7 のチャンネル側端部近傍に形成されている。半導体領域 9n は、例えばリンまたはヒ素が導入されてなり、pMISQp の半導体領域 6 のチャンネル側端部近傍に形成されている。これら半導体領域 9n, 9p は nMISQn および pMISQp の短チャンネル効果を抑制または防止することでソース・ドレイン間に生じるパンチスルー現象を抑制または防止する機能を有している。

nMISQn および pMISQp のゲート絶縁膜 10 は、例えば酸化シリコン膜からなり、熱酸化法等によって形成されている。このゲート絶縁膜 10 に対して窒化処理を施すことにより、ゲート絶縁膜 10 と半導体基板 2S との界面に窒素を偏析させても良い。これにより、各 nMISQn および pMISQp のホットキャリア耐性を向上させることができるので、nMISQn および pMISQp の信頼性を向上させることが可能となる。また、nMISQn および pMISQp のゲート電極 11G は、例えば低抵抗ポリシリコンの単体膜上にタングステンシリサイドまたはコバルトシリサイド等のようなシリサイド層 8 を設けてなる。ただし、ゲート電極 11G を、例えば低抵抗ポリシリコン膜の単体膜で構成しても良いし、低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等のようなバリア層を介してタングステン等のような金属膜を設けた、いわゆるポリメタル構造としても良い。このゲート電極 11G の側面には、例えば酸化シリコン膜または窒化シリコン膜からなるサイドウォール 12 が形成されている。半導体基板 2S の主面上には、層間絶縁膜 13a が形成されている。層間絶縁膜 13a は、例えば酸化シリコン膜からなり、その上面は平坦化処理がなされている。この層間絶縁膜 13a 上には、化学増幅型の上記レジスト膜 14a が回転塗布法によって堆積されている。

まず、この半導体ウエハ 2 を上記 EB 露光装置 1 内に搬入した後、上記した部

分一括露光処理によってレジスト膜 1 4 a に接続孔形成用のパターンを露光する。この際、例えば半導体基板 2 S の複数の半導体チップにおける接続孔パターンを、E B 露光装置 1 の第 2 成形絞り板 1 C 2 の孔 (CONT) 層の開口部 A P 2 内における複数の部分一括露光図形形成領域 P A 内のパターンでレジスト膜 1 4 a に露光する。開口部 A P 2 内はビーム偏向で部分一括露光図形領域 P A を選択し、各部分一括露光領域 P A 内の孔パターン群を 1 ショットで転写しながら露光 (描画) する。続いて、露光処理後の半導体ウエハ 2 を E B 露光装置 1 から搬出した後、その半導体ウエハ 2 に対して現像処理を施すことにより、図 2 5 に示すように、半導体基板 2 S 上にレジストパターン 1 4 a 1 を形成する。レジストパターン 1 4 a 1 は、例えば平面略円形状の接続孔形成領域が露出され、それ以外を覆うように形成されている。その後、そのレジストパターン 1 4 a 1 をエッチングマスクとして、半導体基板 2 S に対してエッチング処理を施すことにより、図 2 6 に示すように、層間絶縁膜 1 3 a に、例えば平面略円形状の複数のコンタクトホール 1 5 a を穿孔する。コンタクトホール 1 5 a の底面からはシリサイド層 8 が露出されている。

次いで、半導体基板 2 S 上に、例えばタングステン等からなる導体膜を堆積した後、これを CMP (Chemical Mechanical Polish) 法等によって研磨することにより、図 2 7 に示すように、コンタクトホール 1 5 a 内に導体膜 1 6 を埋め込む。この導体膜 1 6 は、半導体領域 6, 7 と電氣的に接続されている。続いて、図 2 8 に示すように、半導体基板 2 S 上に、例えばアルミニウム、アルミニウム-銅-シリコン合金またはタングステンからなる導体膜 1 7 をスパッタリング法等によって堆積した後、その上に化学増幅型の上記レジスト膜 1 4 b を回転塗布法等によって塗布する。その後、その半導体ウエハ 2 を再度上記 E B 露光装置 1 内に搬入し、上記した部分一括露光処理によってレジスト膜 1 4 b に最下層配線形成用のパターンを露光する。この際、例えば半導体ウエハ 2 の複数の半導体チップにおける最下層配線の配線層のパターンを、E B 露光装置 1 の第 2 成形絞

- り板 1 C 2 の最下層配線層 (M0) 用の開口部 A P 2 内における複数の部分一括露光図形形成領域 P A のパターンでレジスト膜 1 4 b に露光する。開口部 A P 2 内はビーム偏向で部分一括露光図形領域 P A を選択し、各部分一括露光領域 P A 内の配線パターン群を 1 ショットで転写しながら露光 (描画) する。続いて、露
- 5 光処理後の半導体ウエハ 2 を E B 露光装置 1 から搬出した後、その半導体ウエハ 2 に対して現像処理を施すことにより、図 2 9 に示すように、半導体基板 2 S 上にレジストパターン 1 4 b 1 を形成する。レジストパターン 1 4 b 1 は、例えば配線形成領域が被覆され、それ以外が露出されている。その後、そのレジストパターン 1 4 b 1 をエッチングマスクとして、半導体ウエハ 2 に対してエッチング
- 10 処理を施し、レジストパターン 1 4 b 1 から露出する導体膜 1 7 をエッチング除去することにより、図 3 0 に示すように、層間絶縁膜 1 3 a 上に、最下層配線 1 7 M0 を形成する。この最下層配線 1 7 M0 は、上記導体膜 1 6 と電氣的に接続されている。このようにして、上記した回路セルを形成する。

- 上記 E B 露光処理は、例えば同一種類の半導体集積回路装置の製造用の複数の
- 15 半導体ウエハの同一レイアウト層のパターンを連続して露光することができる。また、異なる種類の半導体集積回路装置の製造用の複数枚の半導体ウエハの同一レイアウト層のパターンを連続して露光することもできる。また、異なる種類の半導体集積回路装置の製造用の複数枚の半導体ウエハの異なるレイアウト層のパターンを連続して露光することもできる。さらに、同一半導体ウエハ内の異なる
- 20 種類の半導体チップの同一レイアウト層のパターンを連続して露光することもできる。このような露光処理は、半導体ウエハに代えてフォトマスク上のパターンを露光する場合も同様である。

- 次に、本実施の形態の半導体集積回路装置の製造方法によって製造された半導体チップの一例を図 3 1 に示す。半導体チップ 2 C は、上記半導体ウエハ 2 から
- 25 切り出された平面四角形状のシリコン単結晶等の小片からなり、その主面には、特に限定されるものではないが、例えばエンコーダ、デコーダまたはコーデック

- 等のような所定の半導体集積回路が形成されている。この半導体チップ2 Cの主面には、例えば論理回路領域1 8、メモリ回路領域1 9およびアナログ回路領域2 0が配置され、さらに、それら回路領域を取り囲むように半導体チップ2 Cの外周に沿って入出力回路領域2 1が配置されている。本発明は、回路セルに対するものなので、論理回路領域1 8、メモリ回路領域1 9内の論理回路領域1 9 aおよびアナログ回路領域2 0内の論理回路領域2 0 aに適用することができる。なお、メモリ回路領域1 9には、例えばD R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory) またはフラッシュE E P R O M (Electric Erasable Programmable Read Only Memory) が形成されている。
- 10 また、入出力回路領域2 1には、入力回路、出力回路および入出力双方向回路が形成されている。また、半導体チップ2 Cの最外周近傍には、その外周に沿って複数のボンディングパッドB Pが配置されている。このボンディングパッドB Pは、半導体チップ2 C内の半導体集積回路の端子を外部に引き出すための電極であり、入出力回路領域2 1を介して内部回路と電氣的に接続されている。
- 15 また、上記論理回路領域の要部平面図および要部断面図を図3 2および図3 3に示す。図3 2は、半導体チップ2 C上における上記立ち上がりエッジトリガフリップフロップ回路の実際のパターンレイアウト平面図である。パターンの平面形状は、図1 6で示したのと同じである。活性領域5 L Pには、p M I S Q pのソース・ドレインを構成するp型の半導体領域6が形成されている。また、活性領域5 L Nには、n M I S Q nのソース・ドレインを構成するn型の半導体領域7が形成されている。最下層配線1 7 M 0の1 7 M Sは、上記余剰パターン部分が転写された部分である。
- 20

- 図3 3は、図3 1および図3 2の半導体集積回路装置を構成する半導体チップの要部断面図を示している。ここではp M I S Q pの断面図が例示されている。
- 25 半導体基板2 Sに形成された埋込nウエル2 2は、例えばリンまたはヒ素が導入されてn型に設定されてなり、nウエル3 nの周囲を取り囲むように形成され、同一の半導体基板2 Sに形成された他の素子や回路等からnウエル3 nにノイ

ズが侵入（伝搬）するのを抑制または防止する機能を有している。また、 n^+ 型の半導体領域23は、例えばリンまたはヒ素が n ウエル3nの不純物濃度よりも高濃度に導入されて n^+ 型に設定されてなり、 n ウエル3nへのウエル電位を供給する領域である。 n^+ 型の半導体領域23の上面には上記シリサイド層8が

5 形成されている。

最下層配線17M0の上層には、第2層～第4層配線17M1～17M3が形成されている。第2層から第4層配線17M1～17M3は、例えばチタンまたは窒化チタンの単体膜あるいはそれらの積層膜上に、例えばアルミニウムまたはアルミニウム－銅－シリコン合金等のような導体膜を介して、例えばチタンまたは

10 窒化チタンの単体膜あるいはそれらの積層膜が積み重ねられて形成されている。これら配線層間には、例えば酸化シリコンからなる層間絶縁膜13b～13dが形成されている。配線層間は、スルーホール15b～15dによって電氣的に接続されている。回路セル内は最下層配線17M0によって電氣的に接続され、異なる回路セル間は第2層配線17M1～17M3によって電氣的に接続さ

15 れている。これにより、回路セル間の配線の自由度を確保したまま、上記組合せ等による回路セルの構成が可能となる。これ以外は、図30と同じなので説明を省略する。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない

20 範囲で種々変更可能であることはいうまでもない。

例えば前記実施の形態においては半導体基板にMISFETを有する半導体装集積回路装置の製造方法に本発明を適用した場合について説明したが、これに

25 限定されるものではなく種々適用可能であり、例えばバイポーラトランジスタを有する半導体集積回路装置の製造方法やバイポーラトランジスタとMISFETとを同一半導体基板に設けた半導体集積回路装置の製造方法に適用することもできる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるエンコーダ、デコーダまたはコーデックに適用した場合について

説明したが、それに限定されるものではなく、例えばマイクロプロセッサ等のような論理回路を有する半導体集積回路装置にも適用できる。

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

- 5 (1). 本発明によれば、回路セルをただ単純に分解してサブセルを構成する場合に比べて、1枚の部分一括露光用マスクに必要な部分一括露光図形（サブセル）の数を大幅に低減することができる。
- (2). 上記(1)により、半導体集積回路装置を構成するパターンの全部またはその大半を部分一括露光処理によって露光することができる。このため、半導体集積
- 10 回路装置における全パターンの露光時間を大幅に短縮することが可能となる。
- (3). 上記(1)、(2)により、半導体集積回路装置の開発期間や製造時間を大幅に短縮することが可能となる。
- (4). 上記(1)、(2)により、半導体集積回路装置のスループットを大幅に向上させることが可能となる。
- 15 (5). 上記(1)、(2)により、エキシマレーザ光を光源とする露光装置のマスクよりも大幅に低価格の部分一括電子線露光装置の部分一括露光用マスクを用いることができるので、半導体集積回路装置の製造コストの低減を推進することが可能となる。
- (6). 本発明によれば、サブセル内に余剰パターン部分を設けたことにより、その
- 20 サブセルを複数の回路セルに共通して使用することが可能となる。
- (7). 本発明によれば、サブセル内に余剰パターン部分を設けたことにより、同じ複数のサブセルを用いて構成された異なる回路セル間の電気的特性、例えば抵抗値または容量値あるいはこれらによって決まる信号の遅延時間等を揃えることが可能となる。
- 25 (8). 上記(7)により、半導体集積回路装置の回路設計を容易にすることが可能となる。
- (9). 上記(7)により、半導体集積回路装置の動作信頼性を向上させることが可能

となる。

産業上の利用可能性

- 5 以上のように、本発明にかかる半導体集積回路装置および半導体集積回路装置の製造方法は、例えばエンコーダ、デコーダ、コーデック、マイクロプロセッサ、ロジック L S I またはメモリ回路と論理回路とを有する半導体集積回路装置等に適用して有効な技術である。

請求の範囲

1. 半導体基板の主面にライブラリから抽出された複数の回路セルを配置することで構成された回路領域を有し、前記複数の回路セルの各々のセル内配線は最下層配線で構成され、前記複数の回路セルの全部または一部は単一または複数のサブセルを有しており、前記単一または複数のサブセルを有する全部または一部の回路セルは余剰パターン部分を有することを特徴とする半導体集積回路装置。
2. 請求項 1 記載の半導体集積回路装置において、前記単一または複数のサブセルは、それを有する回路セル内の活性領域、ゲート部および孔を分割しないように構成されていることを特徴とする半導体集積回路装置。
3. 請求項 1 記載の半導体集積回路装置において、前記複数の回路セルを構成する複数のサブセルの隣接間は前記最下層配線で互いに電氣的に接続されていることを特徴とする半導体集積回路装置。
4. 請求項 1 記載の半導体集積回路装置において、前記サブセルは、前記複数の回路セルに共通に使用できる単一または複数のパターンを有し、前記単一または複数のパターンは部分一括露光の 1 ショットの露光領域内に収まるように形成されていることを特徴とする半導体集積回路装置。
5. 半導体基板の主面に配置された回路領域と、前記回路領域内の回路を構成する複数の回路セルと、前記複数の回路セルの各々のセル内配線を形成する最下層配線と、前記複数の回路セルの全部または一部を構成する単一または複数のサブセルとを有し、前記単一または複数のサブセルを有する全部または一部の回路セルは余剰パターン部分を有することを特徴とする半導体集積回路装置。
6. 半導体基板の主面に配置された回路領域と、前記回路領域内の回路を構成する複数の回路セルとを有し、前記複数の回路セルの全部または一部は単一または複数のサブセルを有し、前記回路セル内の互いに隣接するサブセル間は少なくとも 1 つの最下層配線で相互接続されており、前記単一または複数のサブセルを有

する全部または一部の回路セルは余剰パターン部分を有することを特徴とする半導体集積回路装置。

7. 半導体基板の主面に配置された回路領域と、前記回路領域内の回路を構成する複数の回路セルとを有し、前記複数の回路セルの全部または一部は、その各々の回路セル内の活性領域およびゲート部を分割しないように構成した単一または複数のサブセルを有し、前記回路セル内の互いに隣接するサブセル間は少なくとも1つの最下層配線で相互接続されており、前記単一または複数のサブセルを有する全部または一部のセルは余剰パターン部分を有することを特徴とする半導体集積回路装置。
- 10 8. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、
- (b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、
- 15 前記複数の回路セルの全部または一部は、複数の回路セルに使用可能な単一または複数のサブセルのデータを有し、
- 前記電子線露光処理は部分一括露光処理を有し、
- 前記部分一括露光処理においては、前記パターンデータに基づいて前記サブセルのパターンを部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。
- 20 9. 請求項8記載の半導体集積回路装置の製造方法において、前記サブセルのデータは、それを有する1つの回路セル内の活性領域、ゲート部および孔を分割しないようにデータ上構成されていることを特徴とする半導体集積回路装置の製造方法。
- 25 10. 請求項8記載の半導体集積回路装置の製造方法において、前記回路セル内の互いに隣接するサブセル間はデータ上および実際の半導体ウエハ上において

少なくとも1つの最下層配線で相互接続されていることを特徴とする半導体集積回路装置の製造方法。

- 1 1. 請求項8記載の半導体集積回路装置の製造方法において、前記単一または複数のサブセルを有する全部または一部の回路セルはデータ上および実際の半
5 導体ウエハ上において余剰パターン部分を有することを特徴とする半導体集積回路装置の製造方法。

1 2. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

- 10 (b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

前記複数の回路セルの全部または一部は、複数の回路セルに使用可能な単一または複数のサブセルのデータを有し、

前記電子線露光処理は部分一括露光処理を有し、

- 15 前記部分一括露光処理においては、前記パターンデータに基づいて、各サブセルのパターンを1ショットで部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。

- 1 3. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、
20

(b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

前記複数の回路セルの全部または一部は、複数の回路セルに使用可能な単一または複数のサブセルのデータを有し、

- 25 前記複数のサブセルのデータの各々は、異なる層のパターンのデータを互いの相互関係を把握した状態で有しており、

前記電子線露光処理は部分一括露光処理を有し、

前記部分一括露光処理に用いるマスクには複数の単位偏向領域が配置され、その単位偏向領域毎にレイアウト層が割り当てられ、前記複数の単位偏向領域の各々には前記複数のサブセルのパターンが配置されており、

- 5 前記部分一括露光処理は、前記パターンデータに基づいて、前記レイアウト層毎に、各サブセルのパターンを1ショットで部分一括露光する工程を繰り返すことを特徴とする半導体集積回路装置の製造方法。

- 1 4. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを
10 作成する工程と、

(b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写した後、これをマスクとして半導体ウエハに所定のパターンを形成する工程とを有し、

前記(b)工程は、

- 15 (b 1). 前記半導体ウエハを、その主面上に第1のレジスト膜を塗布した後、電子線露光装置内に導入する工程、

(b 2). 前記電子線露光装置内に導入された半導体ウエハにおいて、前記所定の回路パターンを構成する第1のレイアウト層について、前記回路セルの領域を第1の単位偏向領域内のパターンを用いて部分一括露光する第1の露光工程、

- 20 (b 3). 前記第1の露光工程後の半導体ウエハを電子線露光装置の処理室内の真空系を破らず排出する工程、

(b 4). 前記第1の露光工程後の半導体ウエハに対して現像処理を施した後、形成された第1のレジストパターンをエッチングマスクにして前記所定のパターンを形成するパターン形成工程、

- 25 (b 5). 前記パターン形成工程後に第1のレジストパターンを除去した後、前記半導体ウエハの主面上に第2のレジスト膜を塗布する工程、

(b 6) . 前記第 2 のレジスト膜を塗布した半導体ウエハを再度電子線露光装置内に導入する工程、

- (b 7) . 前記電子線露光装置内に導入された半導体ウエハにおいて、前記所定の回路パターンを構成する第 2 のレイアウト層について、前記回路セルの領域を
- 5 第 2 の単位偏向領域内のパターンを用いて部分一括露光する第 2 の露光工程とを有することを特徴とする半導体集積回路装置の製造方法。

1 5 . 請求項 1 4 記載の半導体集積回路装置の製造方法において、前記第 1 の露光工程および第 2 の露光工程は、同一の半導体ウエハに対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

- 10 1 6 . 請求項 1 4 記載の半導体集積回路装置の製造方法において、前記第 1 の露光工程および第 2 の露光工程は、異種の半導体ウエハの同一のレイアウト層に対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

- 1 7 . 請求項 1 4 記載の半導体集積回路装置の製造方法において、前記第 1 の露光工程および第 2 の露光工程は、異種の半導体ウエハの異なるレイアウト層に対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。
- 15

1 8 . (a) . 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

- (b) . 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写した後、これをマスクとして所定のパターンを形成する工程とを有し、
- 20

前記 (b) 工程は、

(b 1) . 前記半導体ウエハ上に第 1 のレジスト膜を塗布した後、電子線露光装置内に導入する工程、

- 25 (b 2) . 前記電子線露光装置内に導入された半導体ウエハにおいて、前記所定の回路パターンを構成する第 1 のレイアウト層について、前記回路セルの領域を

第1の単位偏向領域内のパターンのみを用いて部分一括露光する第1の露光工程、

(b 3) . 前記第1の露光工程後の半導体ウエハを電子線露光装置の処理室内の真空系を破らず排出する工程、

- 5 (b 4) . 前記第1の露光工程後の半導体ウエハに対して現像処理を施した後、形成された第1のレジストパターンをエッチングマスクにして前記所定のパターンを形成するパターン形成工程、

(b 5) . 前記パターン形成工程後に第1のレジストパターンを除去した後、前記半導体ウエハの主面上に第2のレジスト膜を塗布する工程、

- 10 (b 6) . 前記第2のレジスト膜を塗布した半導体ウエハを再度電子線露光装置内に導入する工程、

(b 7) . 前記電子線露光装置内に導入された半導体ウエハにおいて、前記所定の回路パターンを構成する第2のレイアウト層について、前記回路セルの領域を第2の単位偏向領域内のパターンのみを用いて部分一括露光する第2の露光工

- 15 程を有することを特徴とする半導体集積回路装置の製造方法。

19. (a) . 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

- (b) . 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写した後、これをマスクとして所定のパターンを形成する工程とを有し、
- 20

前記複数の回路セルの全部または一部は、複数のセルに使用可能な単一または複数のサブセルのデータを有し、前記単一または複数のサブセルのデータの各々は、異なるレイアウト層のパターンの相互関係情報を有しており、

- 25 前記(b)工程は、

(b 1) . 前記半導体ウエハ上に第1のレジスト膜を塗布した後、電子線露光装

置内に導入する工程、

(b 2) . 前記電子線露光装置内に導入された半導体ウエハにおいて、前記所定の回路パターンを構成する第 1 のレイアウト層について、前記回路セルを構成するサブセルのパターンを第 1 の単位偏向領域内のパターンを用いて部分一括露

5 光する第 1 の露光工程、

(b 3) . 前記第 1 の露光工程後の半導体ウエハを電子線露光装置の処理室内の真空系を破らず排出する工程、

(b 4) . 前記第 1 の露光工程後の半導体ウエハに対して現像処理を施した後、形成された第 1 のレジストパターンをエッチングマスクにして前記所定のパタ

10 ーンを形成するパターン形成工程、

(b 5) . 前記パターン形成工程後に第 1 のレジストパターンを除去した後、前記半導体ウエハの主面上に第 2 のレジスト膜を塗布する工程、

(b 6) . 前記第 2 のレジスト膜を塗布した半導体ウエハを再度電子線露光装置内に導入する工程、

15 (b 7) . 前記電子線露光装置内に導入された半導体ウエハにおいて、前記所定の回路パターンを構成する第 2 のレイアウト層について、前記回路セルを構成するサブセルのパターンを第 2 の単位偏向領域内のパターンを用いて部分一括露光する第 2 の露光工程を有することを特徴とする半導体集積回路装置の製造方法。

20 20 . 請求項 19 記載の半導体集積回路装置の製造方法において、前記サブセルのデータは、それを有する 1 つの回路セル内の活性領域、ゲート部および孔を分割しないようにデータ上構成されていることを特徴とする半導体集積回路装置の製造方法。

21 . 請求項 19 記載の半導体集積回路装置の製造方法において、前記回路セル
25 内の互いに隣接するサブセル間はデータ上および実際の半導体ウエハ上において少なくとも 1 つの最下層配線で相互接続されていることを特徴とする半導体

集積回路装置の製造方法。

22. 請求項19記載の半導体集積回路装置の製造方法において、前記サブセルを有する全部または一部の回路セルはデータ上および実際の半導体ウエハ上において余剰パターン部分を有することを特徴とする半導体集積回路装置の製造

5 方法。

23. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

(b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

前記複数の回路セルの各々を、前記電子線露光処理に用いる部分一括露光用マスクの単位偏向領域内のパターンを用いて部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。

24. 請求項23記載の半導体集積回路装置の製造方法において、前記露光工程は、同一の半導体ウエハの同一のレイアウト層に対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

25. 請求項23記載の半導体集積回路装置の製造方法において、前記露光工程は、異種の半導体ウエハの同一のレイアウト層に対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

26. 請求項23記載の半導体集積回路装置の製造方法において、前記露光工程は、異種の半導体ウエハの異なるレイアウト層に対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

27. 請求項23記載の半導体集積回路装置の製造方法において、前記露光工程は、同一の半導体ウエハ内の異種の半導体チップにおける同一のレイアウト層に対して連続露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

28. (a). 半導体ウエハの主面の全部または一部の回路領域に、ライブラリ

から抽出された複数の回路セルを配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

(b)．前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

- 5 前記複数の回路セルの各々を、前記電子線露光処理に用いる部分一括露光用マスクの単位偏向領域内のパターンのみを用いて部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。

29. (a)．半導体基板の主面の回路領域に、ライブラリから抽出された回路セルを複数配置することにより、その回路領域内の回路のパターンデータを作成
10 する工程と、

(b)．前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

- 前記ライブラリの回路セルの全部または一部は、複数の回路セルに使用可能な単一または複数のサブセルのデータを有し、前記単一または複数のサブセルのデータ
15 の各々は、異なるレイアウト層のパターン間の相互関係情報を有しており、

前記回路セルの各々を露光する際には、前記パターンデータに基づいて前記サブセルのパターン毎に、部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。

30. 請求項29記載の半導体集積回路装置の製造方法において、前記サブセル
20 のデータは、それを有する1つの回路セル内の活性領域、ゲート部および孔を分割しないようにデータ上構成されていることを特徴とする半導体集積回路装置の製造方法。

31. 請求項29記載の半導体集積回路装置の製造方法において、前記回路セル
25 内の互いに隣接するサブセル間はデータ上および実際の半導体ウエハ上において少なくとも1つの最下層配線で相互接続されていることを特徴とする半導体集積回路装置の製造方法。

32. 請求項29記載の半導体集積回路装置の製造方法において、前記サブセルを有する全部または一部の回路セルはデータ上および実際の半導体ウエハ上において余剰パターン部分を有することを特徴とする半導体集積回路装置の製造方法。

- 5 33. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された回路セルを複数配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

(b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

- 10 前記ライブラリの回路セルの各々は、複数の回路セルに使用可能な単一または複数のサブセルのデータを有しており、前記単一または複数のサブセルのデータの各々は、異なるレイアウト層のパターン間の相互関係情報を有しており、

前記複数のサブセルのパターンを露光するためのマスクパターンは、電子線部分一括露光用マスクの単位偏向領域内に配置されており、

- 15 前記回路セルのパターンを、その回路セルを構成するサブセルのパターン毎に部分一括露光することにより、前記半導体ウエハ上に転写する工程を有することを特徴とする半導体集積回路装置の製造方法。

34. (a). 半導体ウエハの主面の回路領域に、ライブラリから抽出された回路セルを複数配置することにより、その回路領域内の回路のパターンデータを作成する工程と、

(b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

- 25 前記ライブラリの回路セルは、それを構成する単一または複数のサブセルのデータを有しており、前記サブセルのデータは、複数の回路セルに共通に使用できるパターンで構成され、異なるレイアウト層のパターンのデータを有し、かつ、その異なるレイアウト層のパターン間の相互関係情報を有しており、

前記複数のサブセルのパターンを露光するためのマスクパターンは、電子線部分一括露光用マスクの単位偏向領域内に配置されており、

- 前記電子線露光処理に際しては、前記パターンデータに基づいて、前記回路セルを構成するサブセルのパターン毎に部分一括露光することにより、前記回路セル
- 5 セルのパターンを前記半導体ウエハ上に転写する工程を有することを特徴とする半導体集積回路装置の製造方法。

35. 半導体基板の主面にライブラリから抽出された複数のデータ上の回路セルを配置することで構成された回路領域を有し、前記複数のデータ上の回路セルの各々のセル内配線は最下層配線で構成され、前記複数のデータ上の回路セルの全
- 10 部または一部は単一または複数のデータ上のサブセルを有しており、前記単一または複数のデータ上のサブセルを有する全部または一部のデータ上の回路セルは余剰パターン部分を有することを特徴とする半導体集積回路装置。

36. (a). ライブラリから抽出された複数の回路セルデータを配置することにより、半導体ウエハに配置される回路領域内の回路のパターンデータを作成す
- 15 る工程と、

(b). 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

前記複数の回路セルデータの全部または一部は、複数の回路セルデータに使用可能な単一または複数のサブセルデータを有し、

- 20 前記電子線露光処理においては、部分一括露光処理を有し、その部分一括露光処理においては、前記パターンデータに基づいて前記サブセルデータが有するパターンを部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。

37. (a). ライブラリから抽出された複数の回路セルデータを配置することにより、半導体ウエハに配置される回路領域内の回路のパターンデータを作成す
- 25 る工程と、

(b) . 前記パターンデータに基づいて半導体ウエハに電子線露光処理を施すことにより半導体ウエハ上に所定の回路パターンを転写する工程とを有し、

前記複数の回路セルデータの全部または一部は、複数の回路セルデータに使用可能な単一または複数のサブセルデータを有し、

- 5 前記電子線露光処理に用いる露光装置のマスクには、1ショットで露光可能な部分一括露光図形領域が複数配置されており、その一部または全部の部分一括露光図形領域の各々には、個々のサブセルデータのパターンが配置されており、前記電子線露光処理においては、前記パターンデータに基づいて前記サブセルデータが有するパターンを1ショットで部分一括露光する工程を有することを特徴とする半導体集積回路装置の製造方法。
- 10

 1

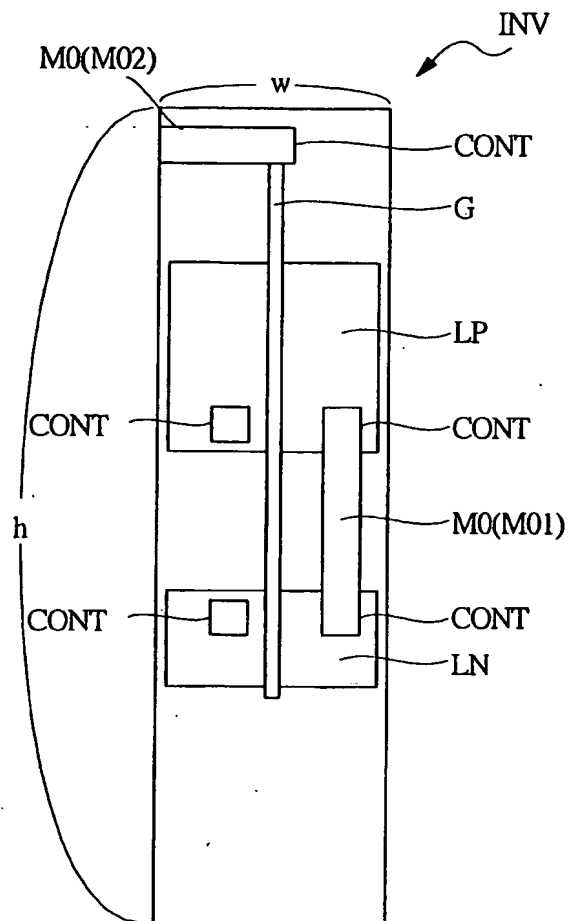
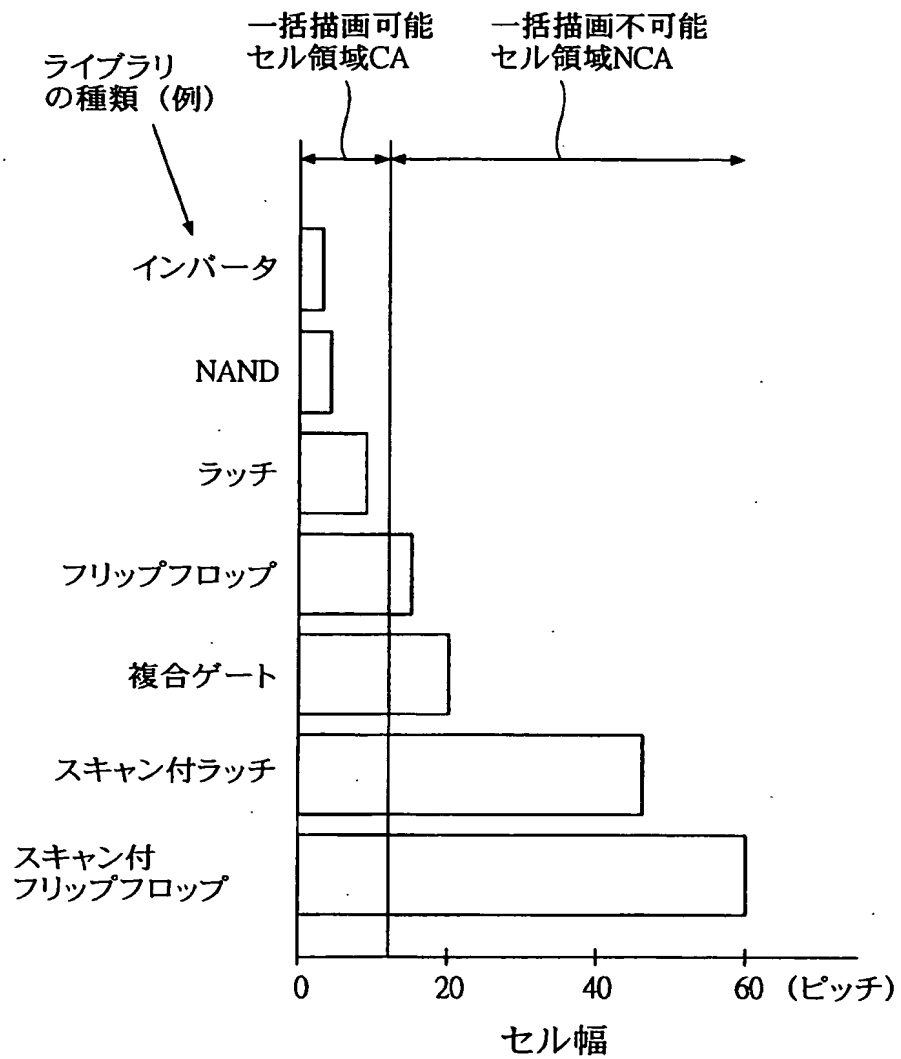
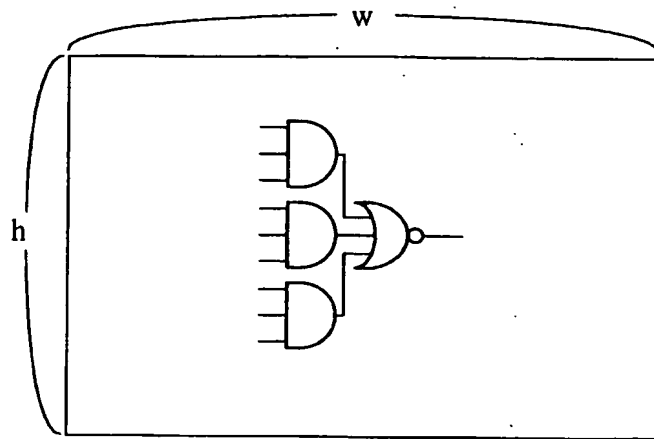


図 2



3



4

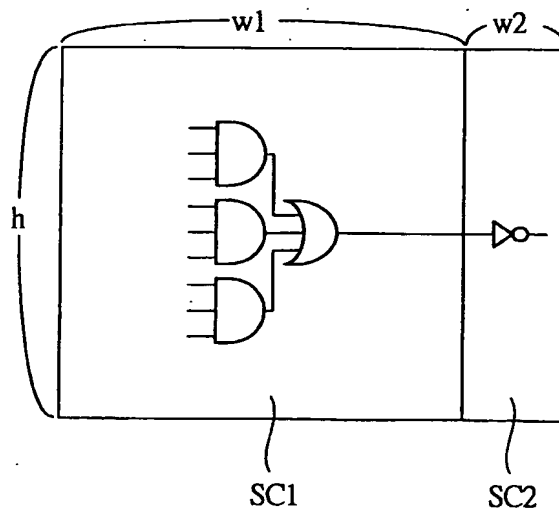


図 5

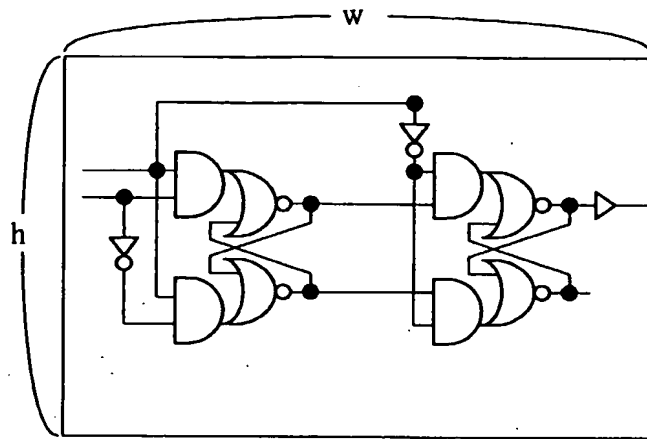
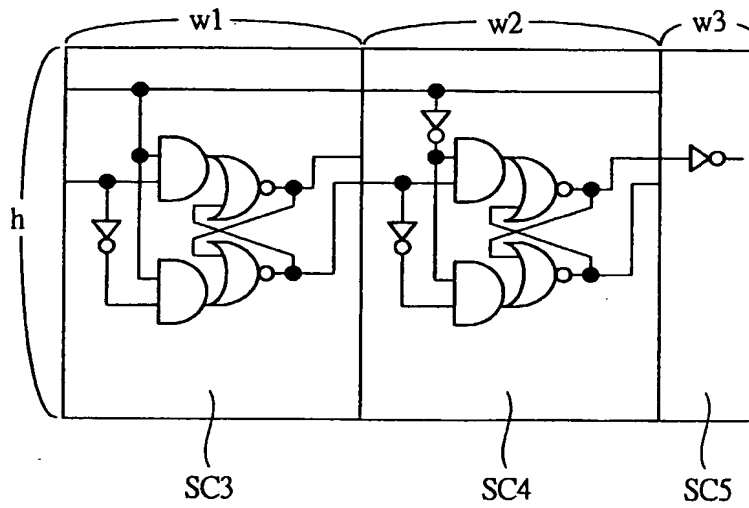
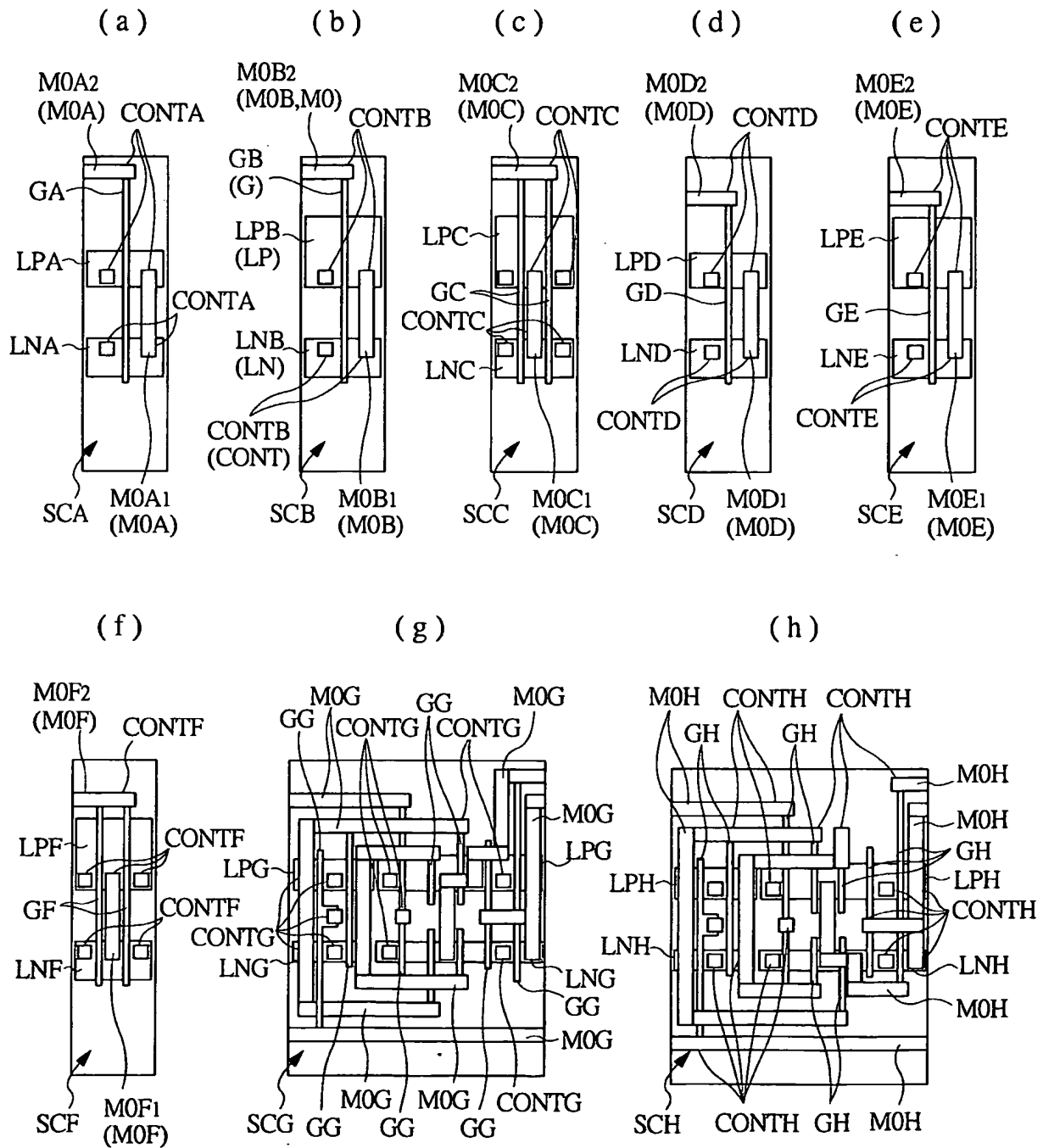


図 6





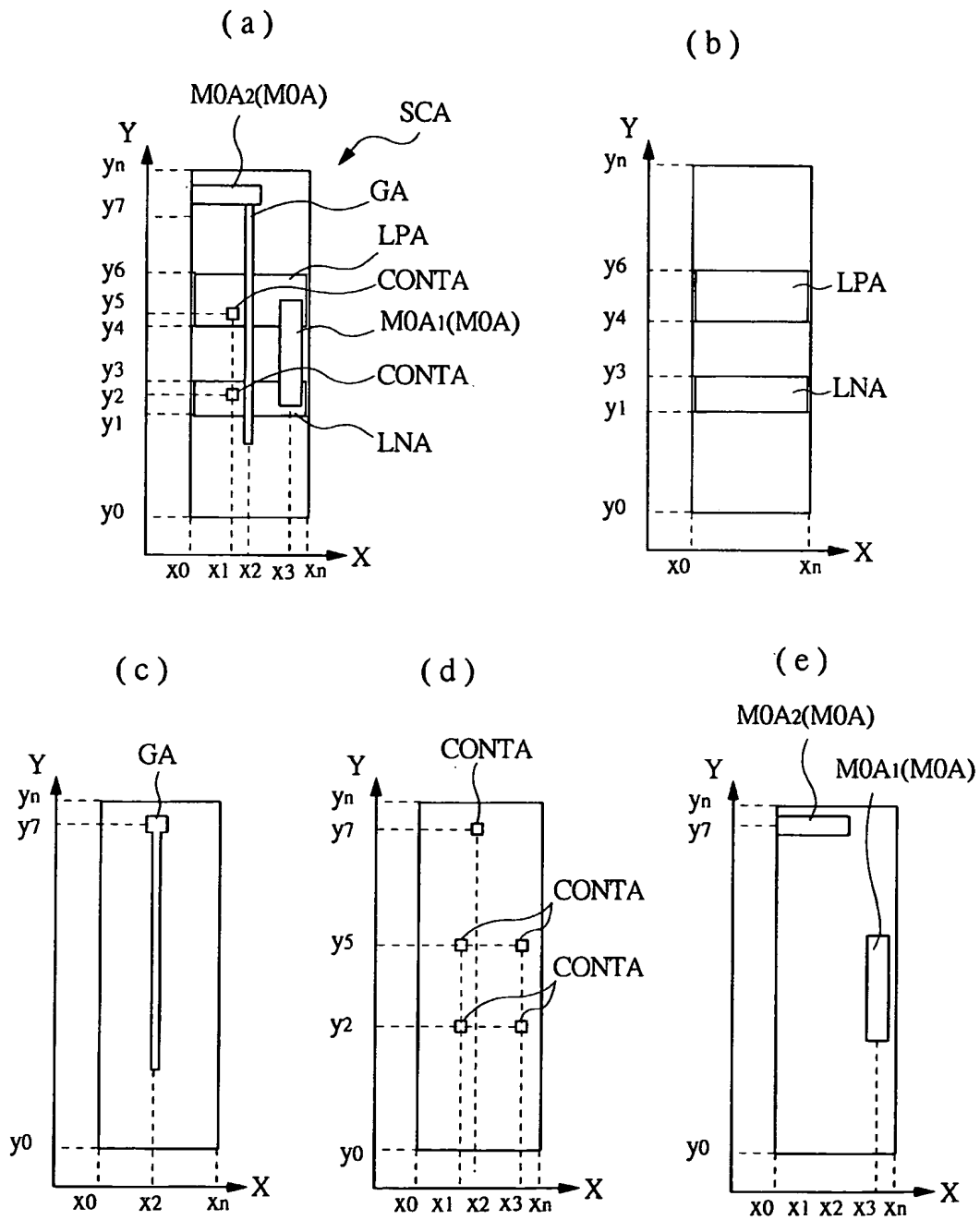
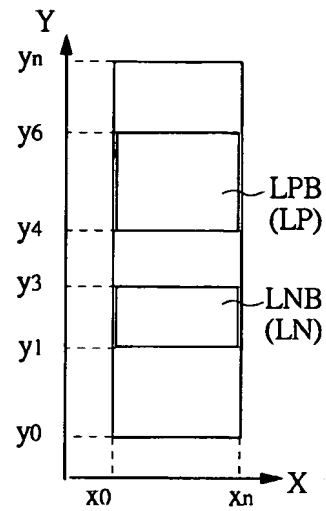
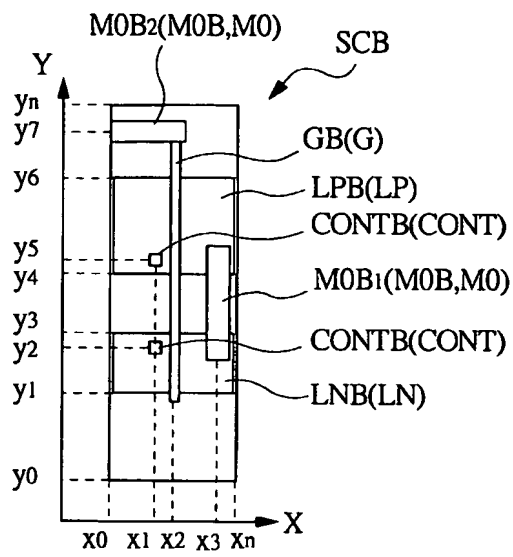
 8


Figure 9 consists of five sub-diagrams labeled (a) through (e), each showing a rectangular structure in a coordinate system with a vertical Y-axis and a horizontal X-axis. The Y-axis has labels $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_n$. The X-axis has labels x_0, x_1, x_2, x_3, x_n .

- (a) Shows a complex structure with multiple layers. Labels include $M0B_2(M0B, M0)$, SCB , $GB(G)$, $LPB(LP)$, $CONTB(CONT)$, $M0B_1(M0B, M0)$, $CONTB(CONT)$, and $LNB(LN)$. The structure is divided into horizontal sections corresponding to the Y-axis labels.
- (b) Shows a simplified structure with two main horizontal sections labeled $LPB(LP)$ and $LNB(LN)$.
- (c) Shows a structure with a single vertical section labeled $GB(G)$.
- (d) Shows a structure with multiple vertical sections labeled $CONTB(CONT)$.
- (e) Shows a structure with two main horizontal sections labeled $M0B_2(M0B, M0)$ and $M0B_1(M0B, M0)$.

(a)

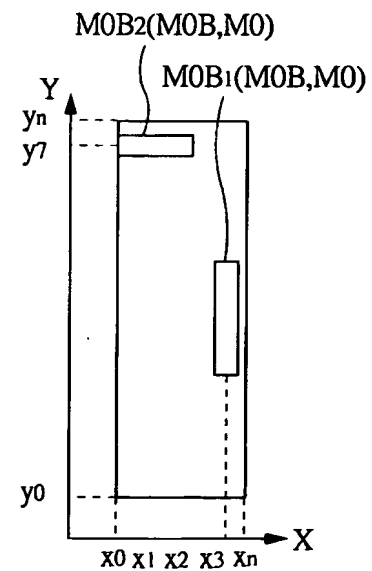
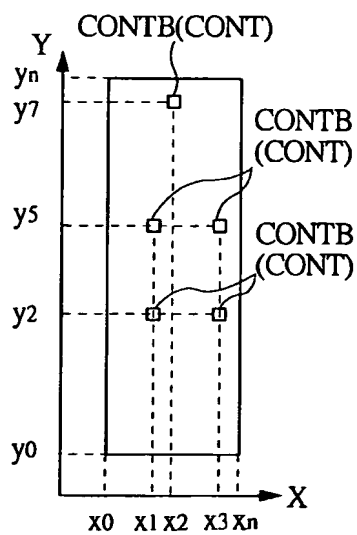
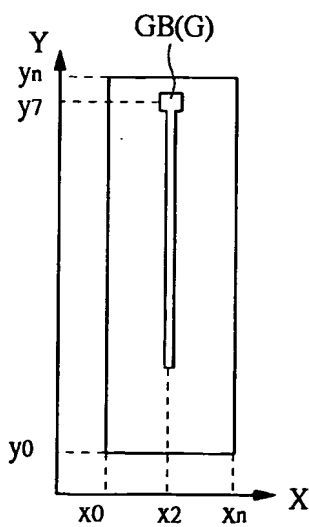
(b)


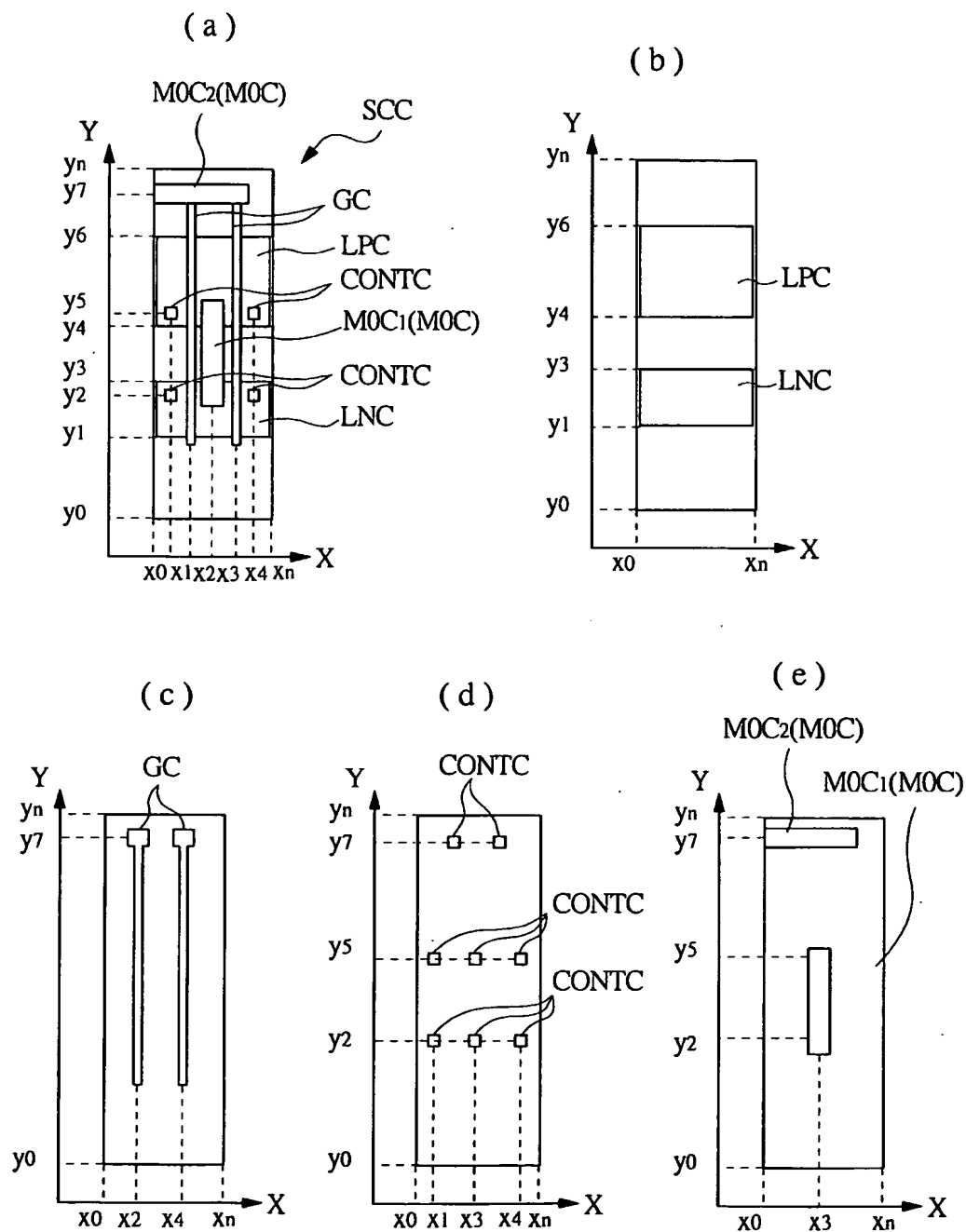


(c)

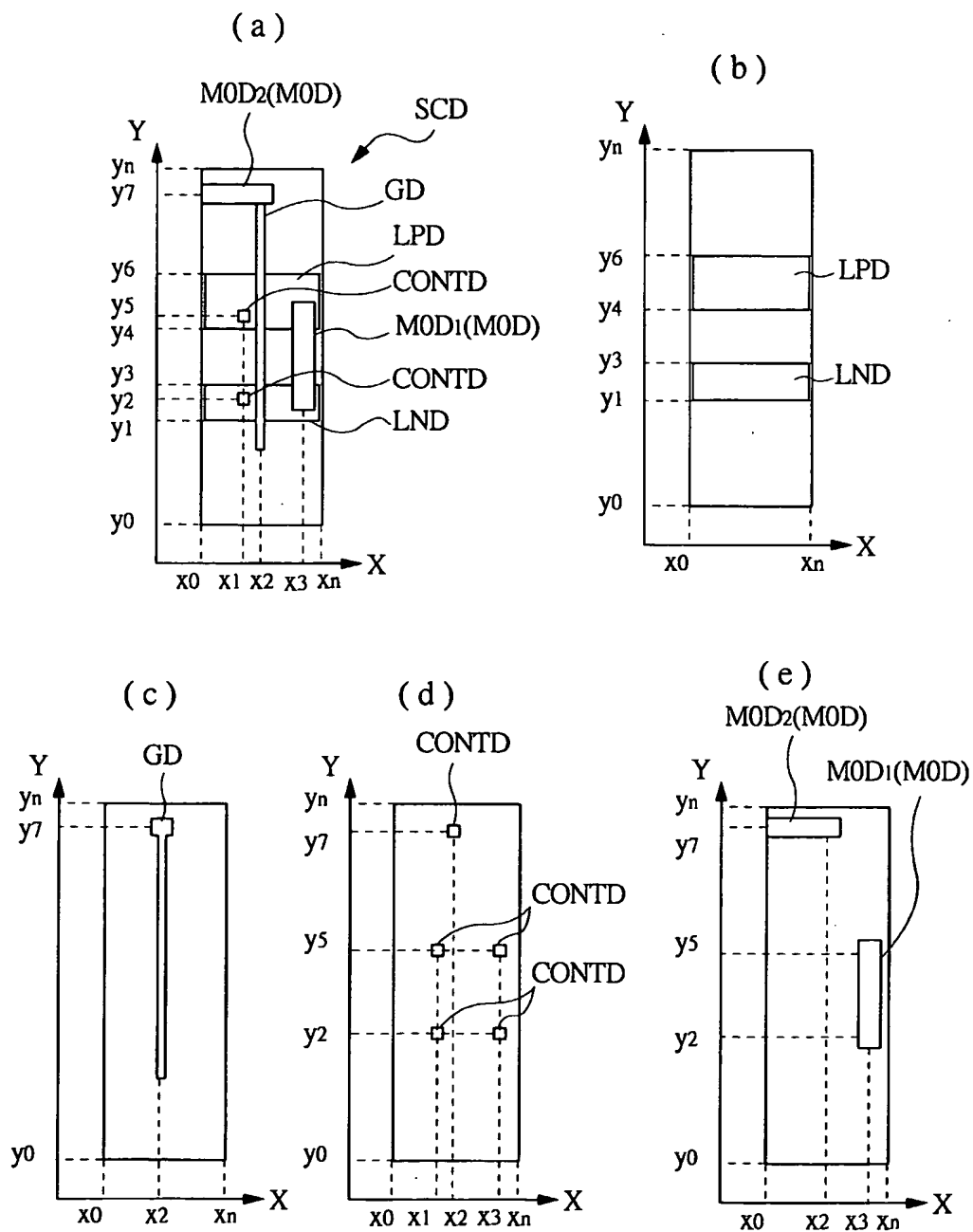
(d)

(e)



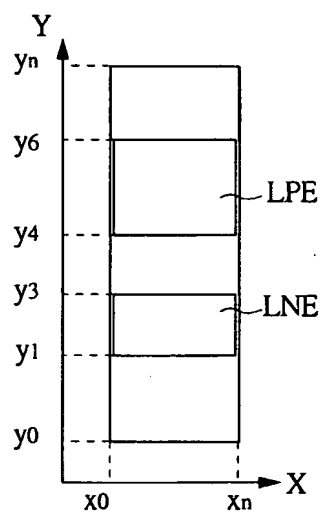
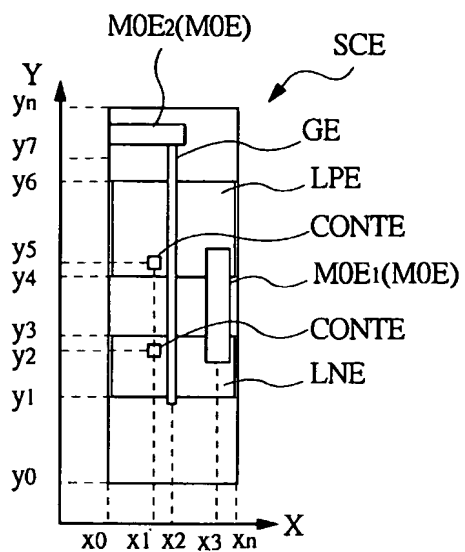
 10


11

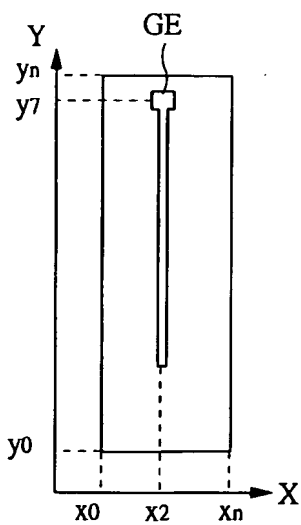


(a)

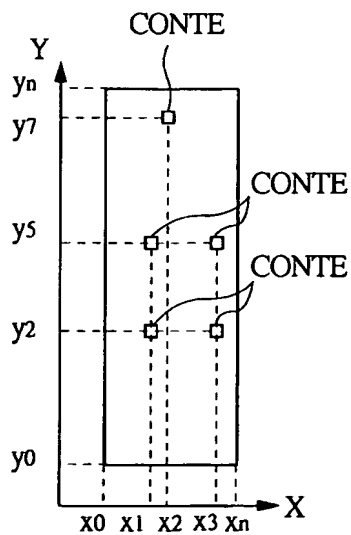
(b)



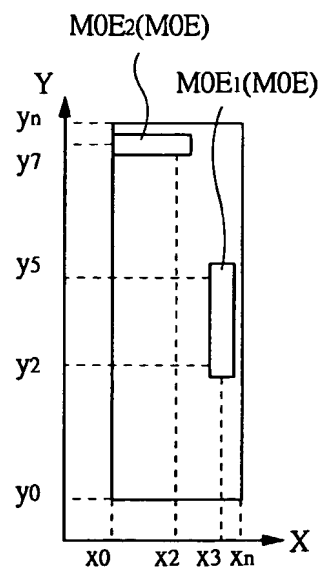
(c)


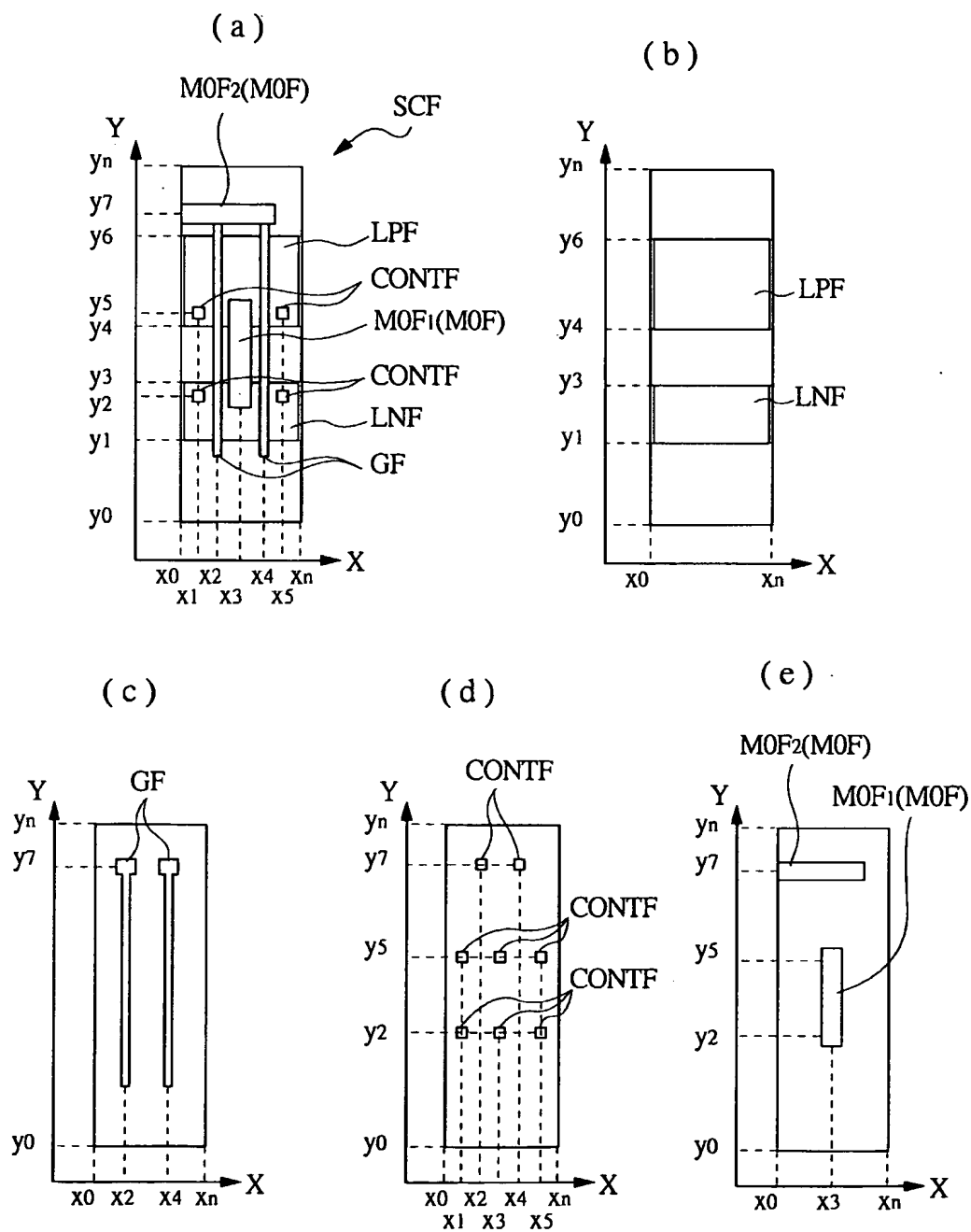


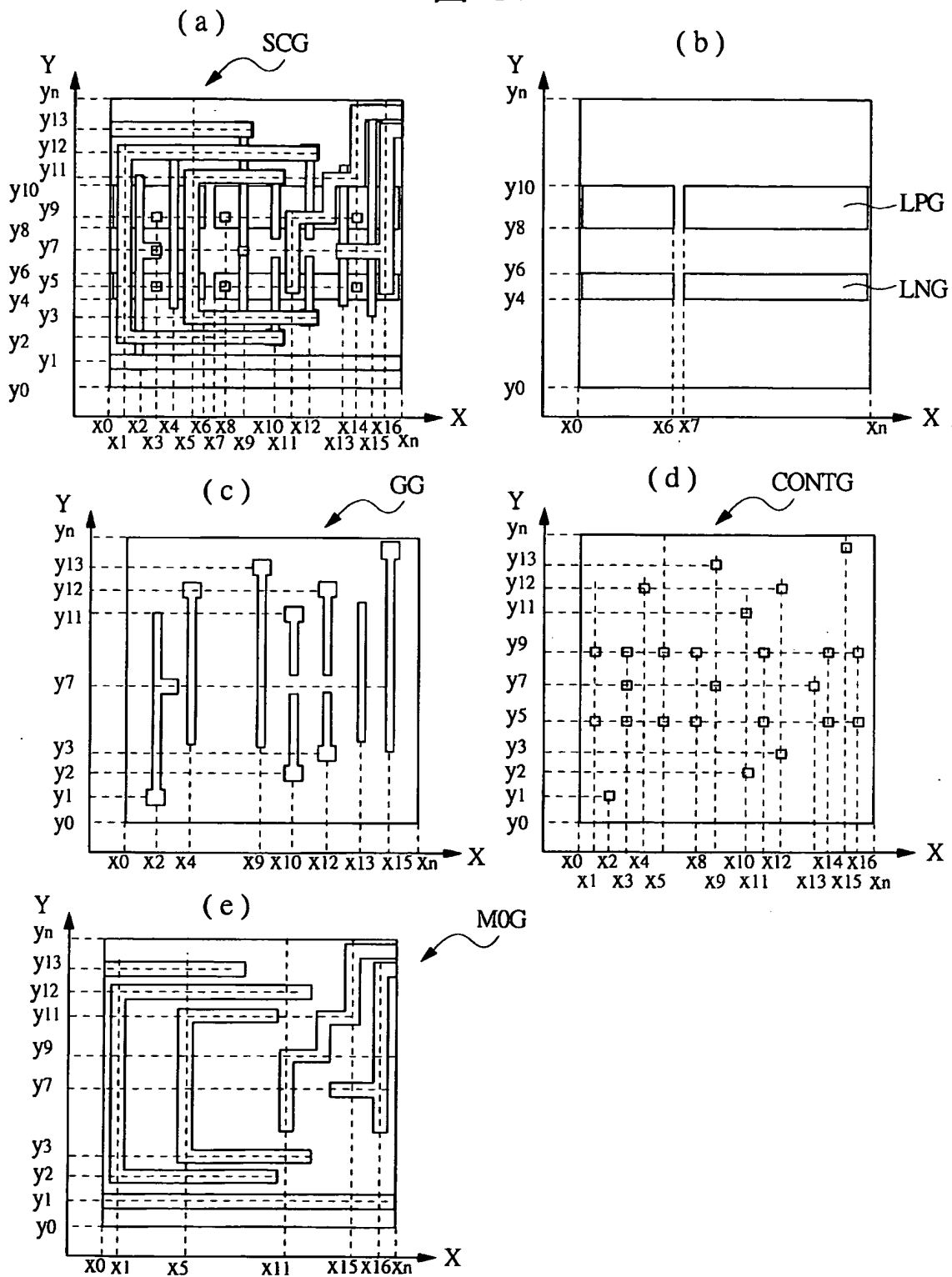
(d)


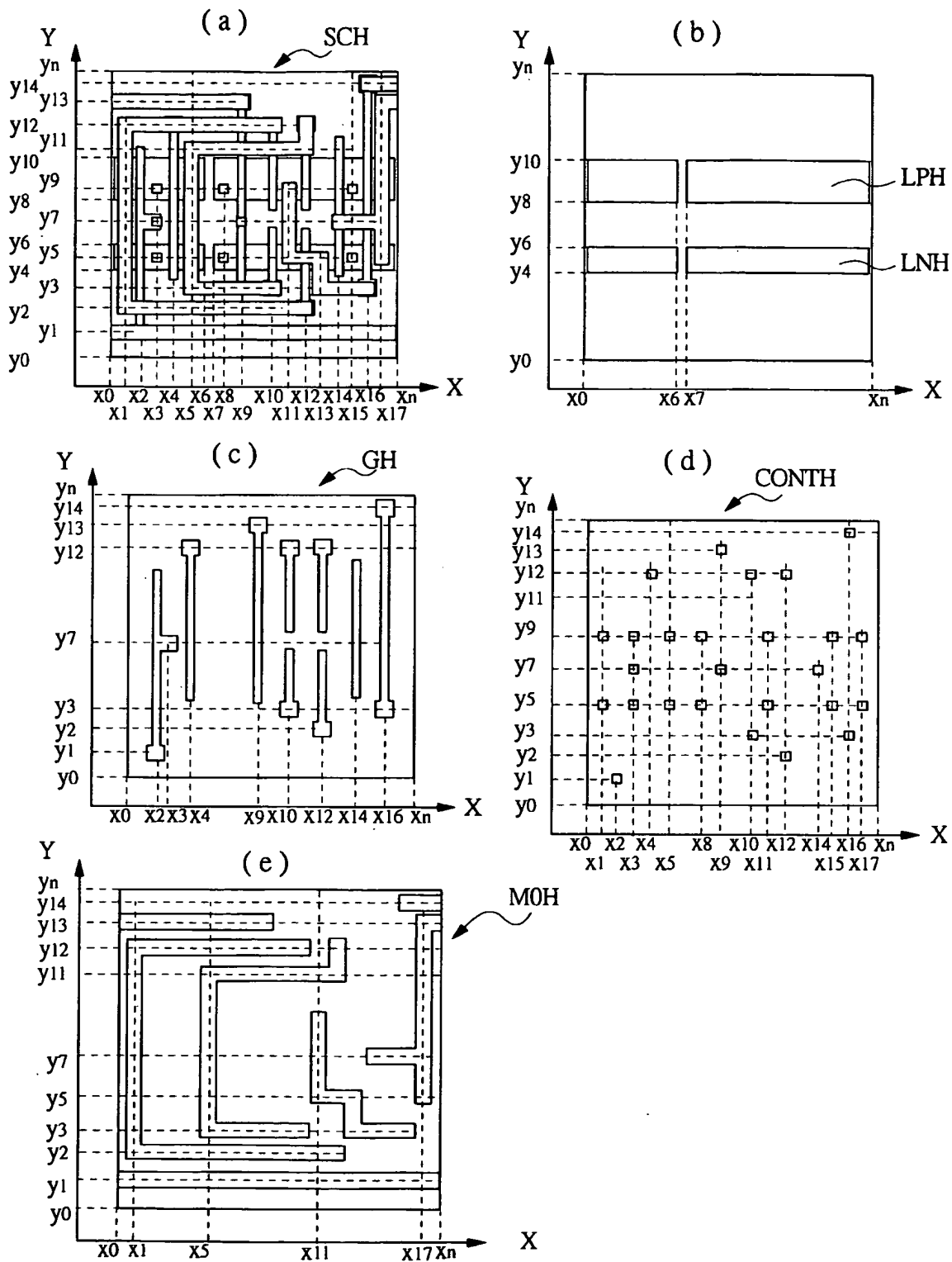


(e)



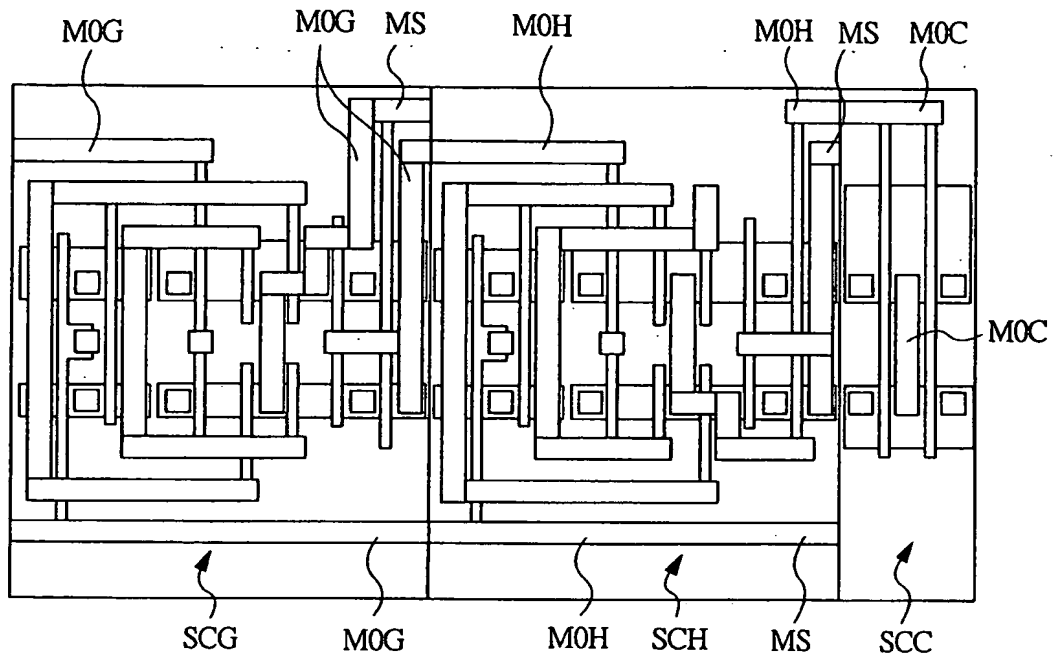
 13


 14


 15


JP00108466

16



17

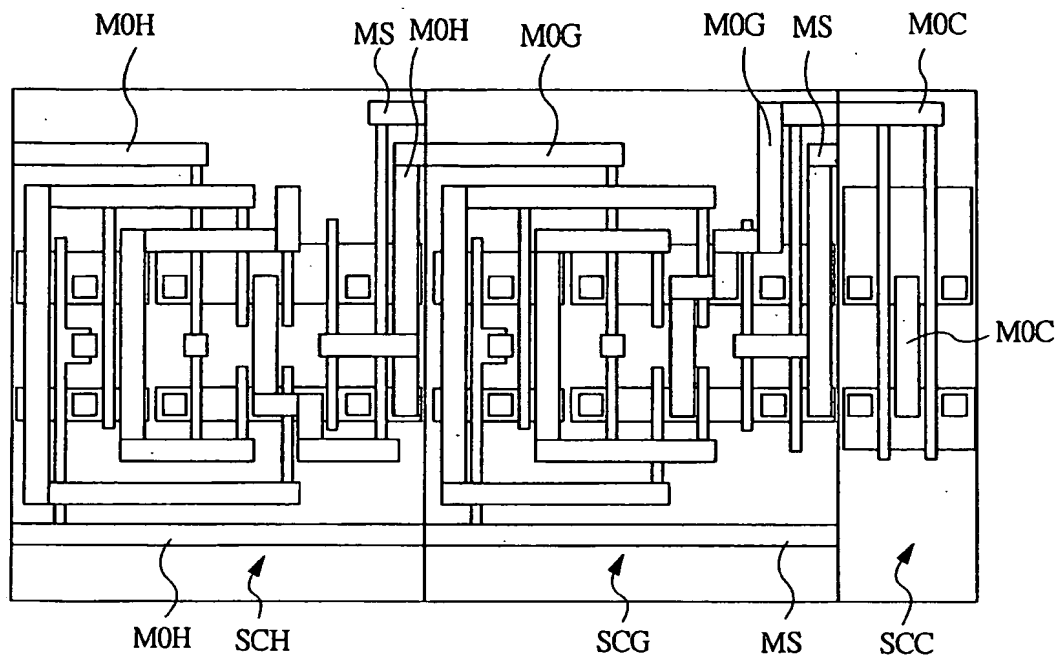
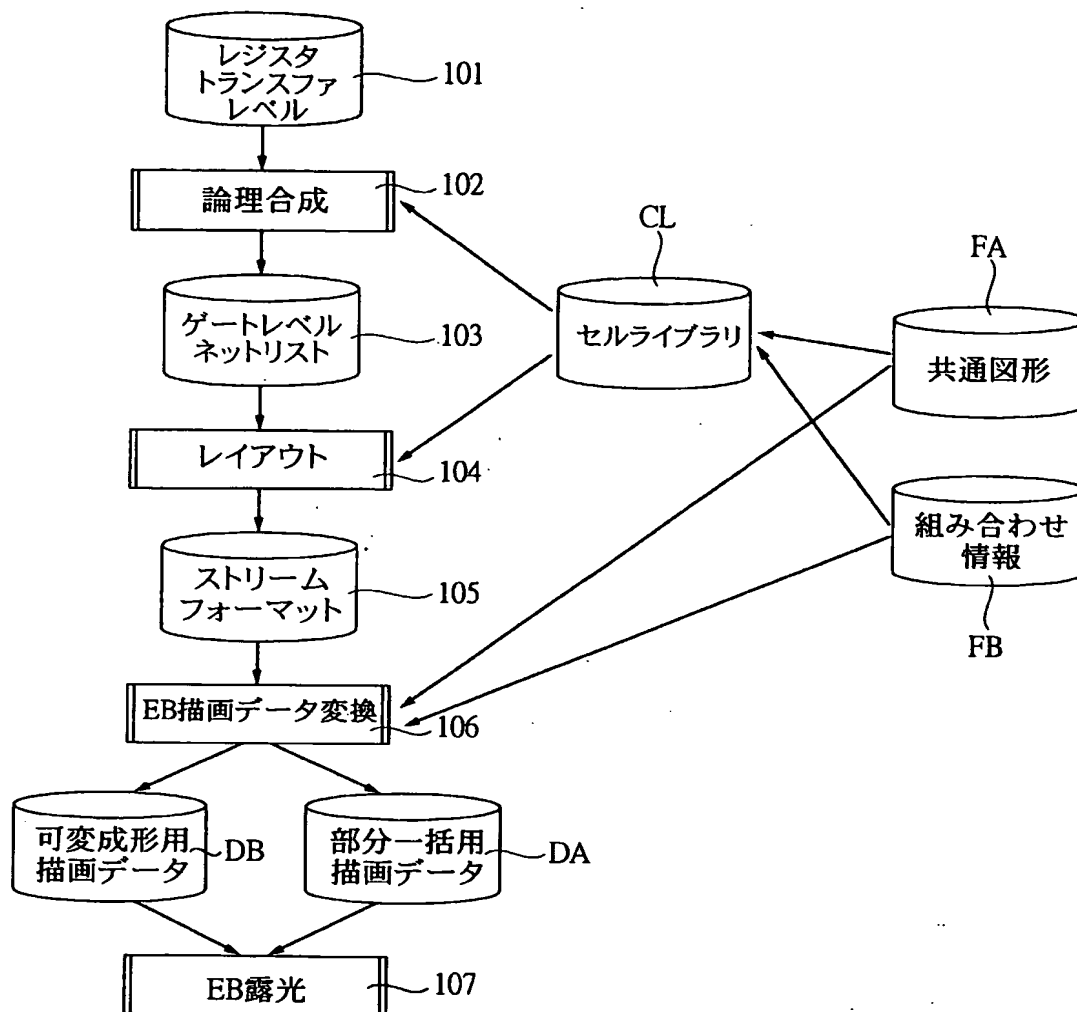
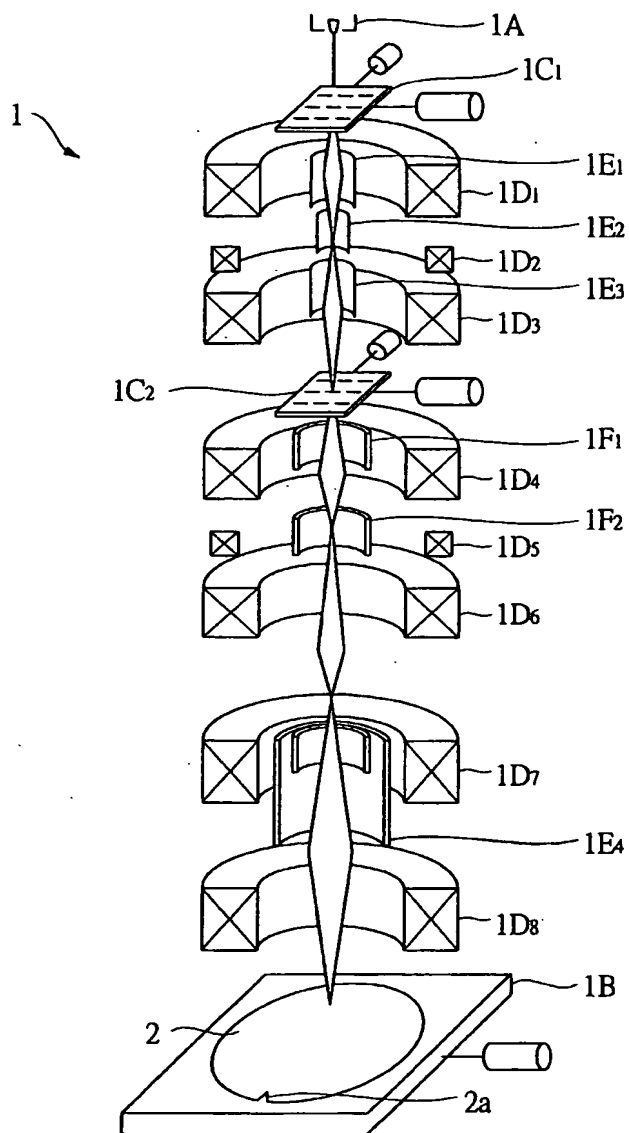


図 18



19



20

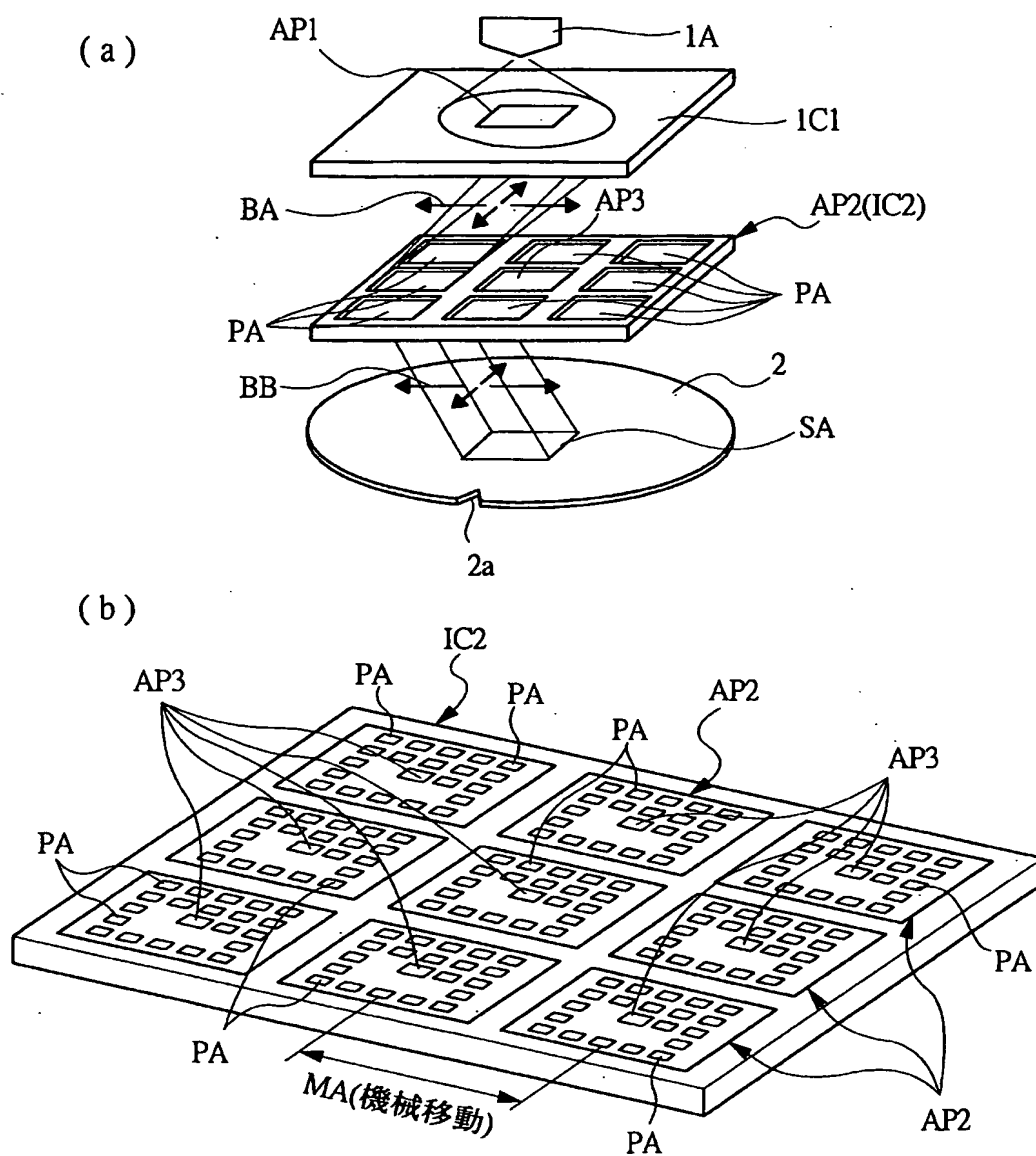


図 21

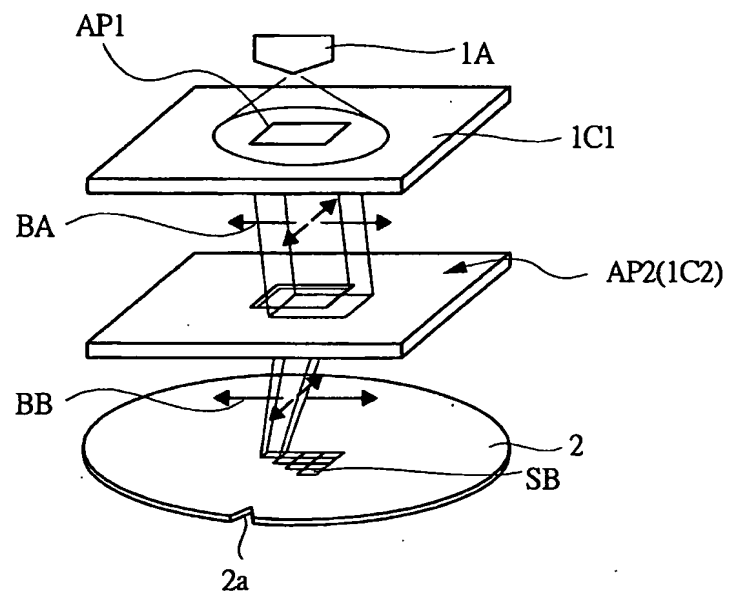


図 22

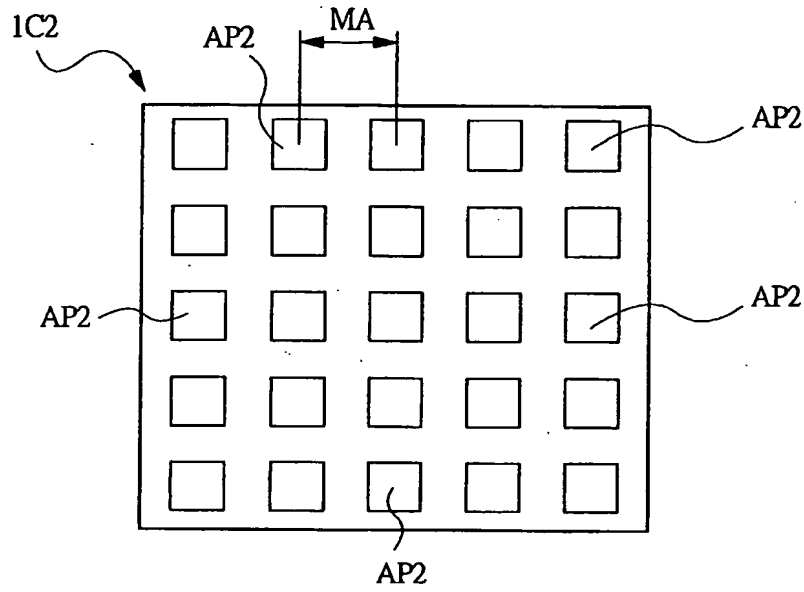


図 23

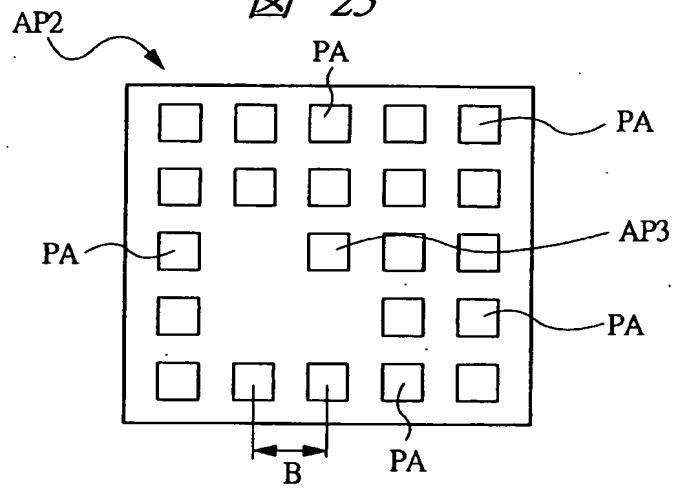


図 24

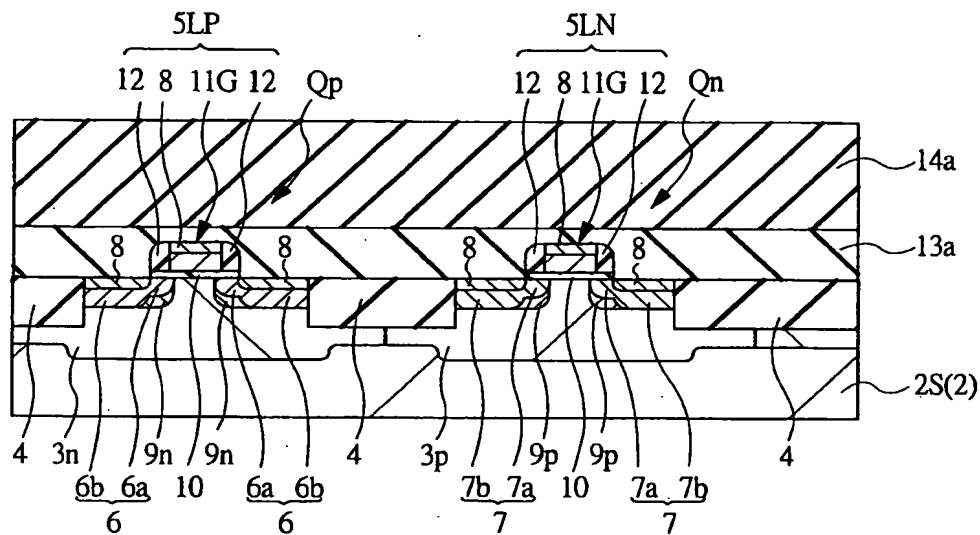


図 25

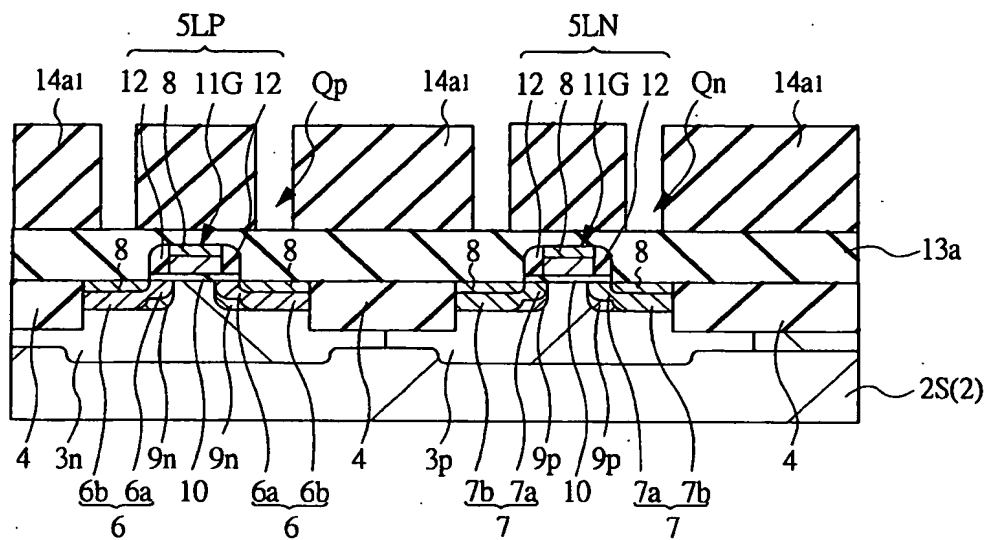


図 26

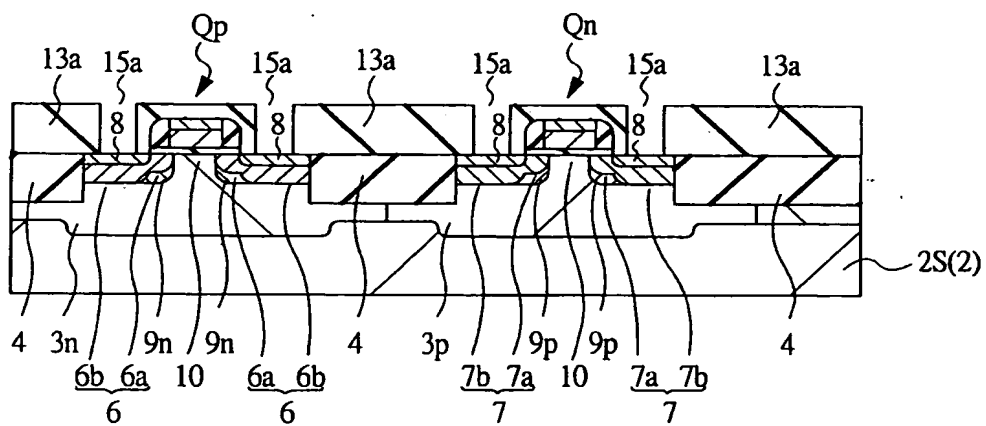


図 27

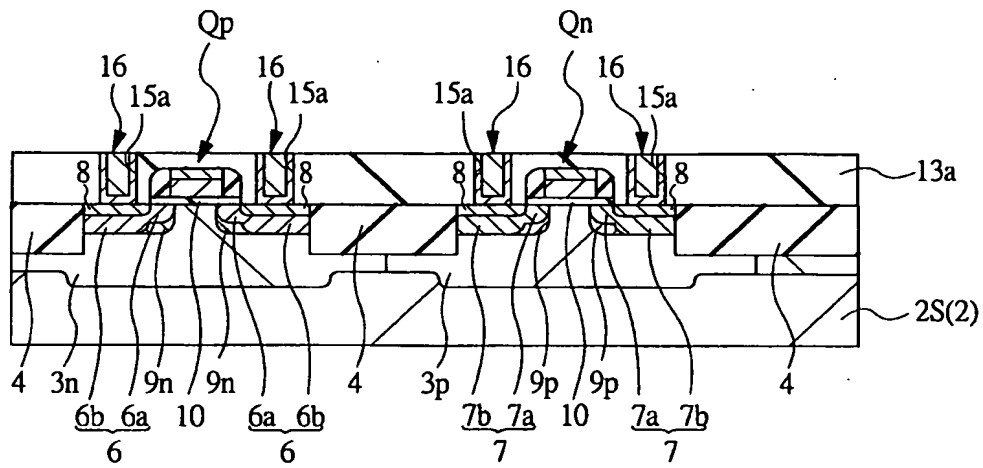


図 28

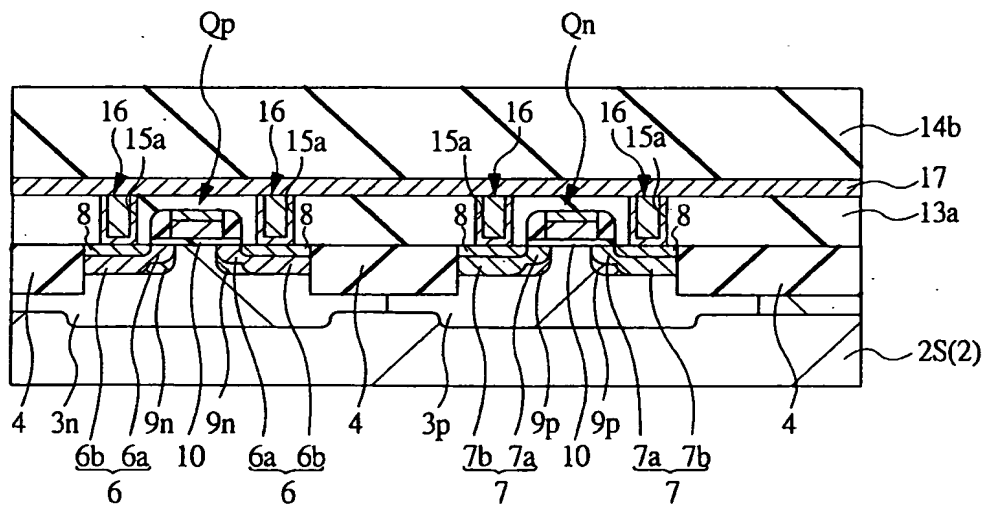


图 29

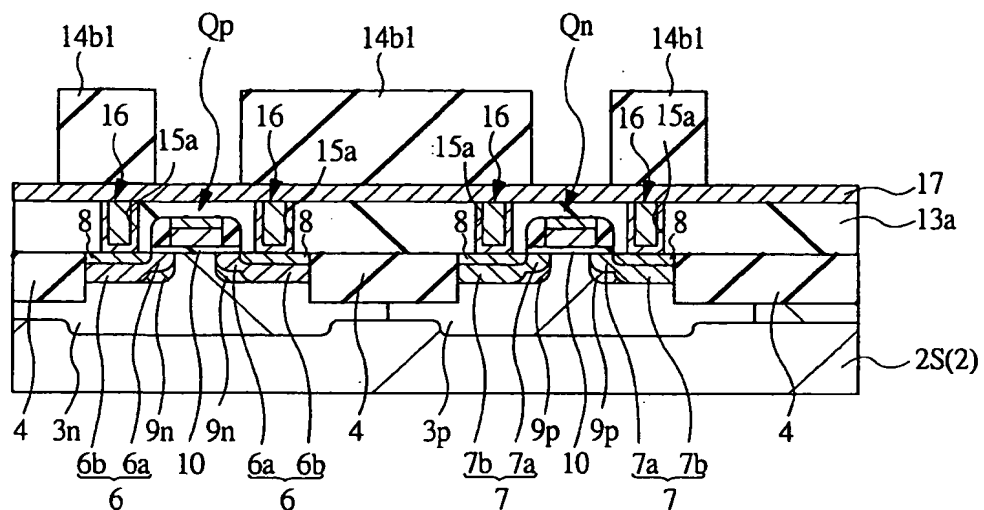
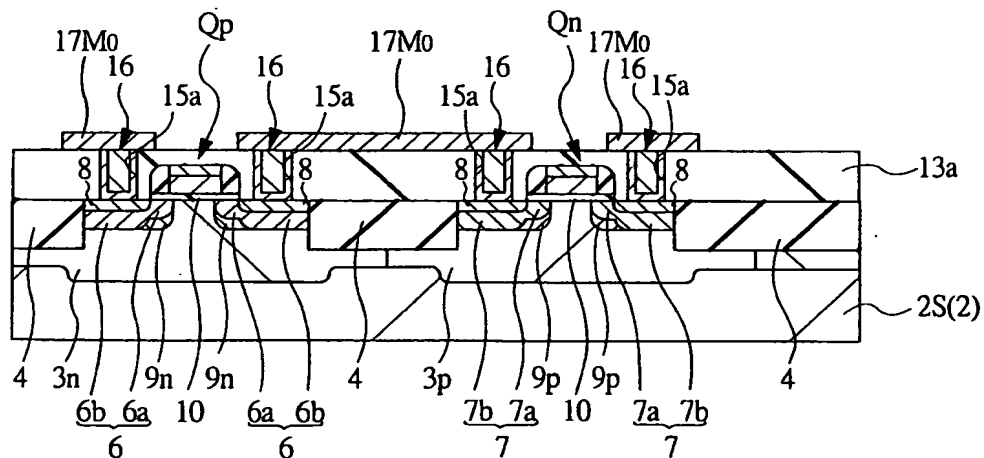
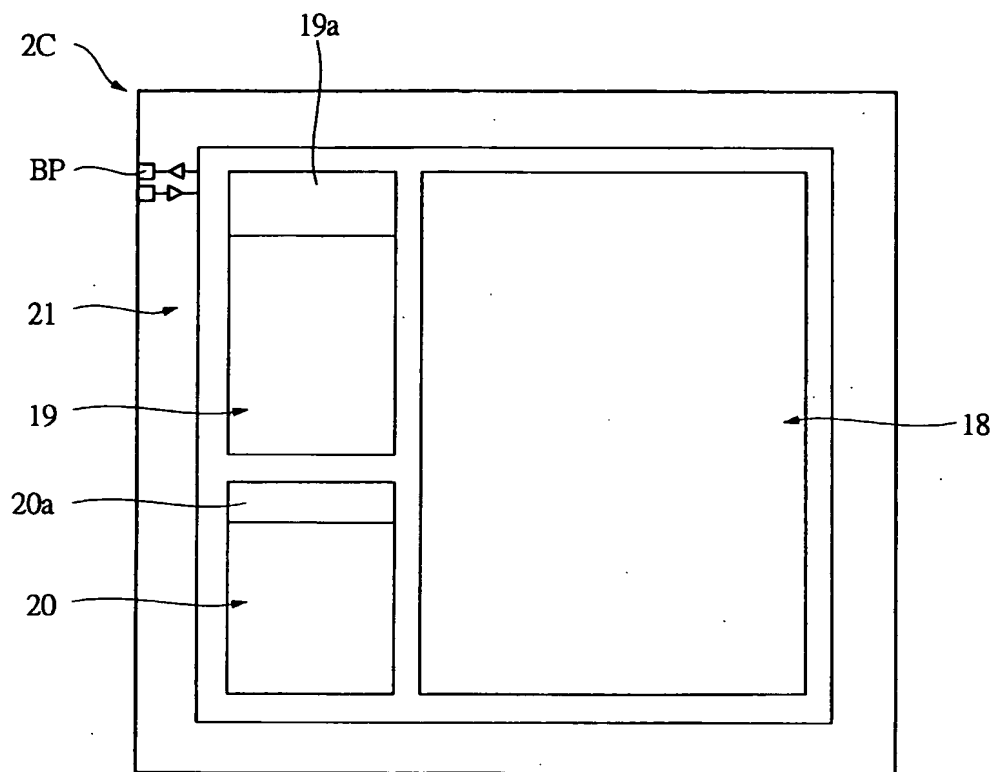
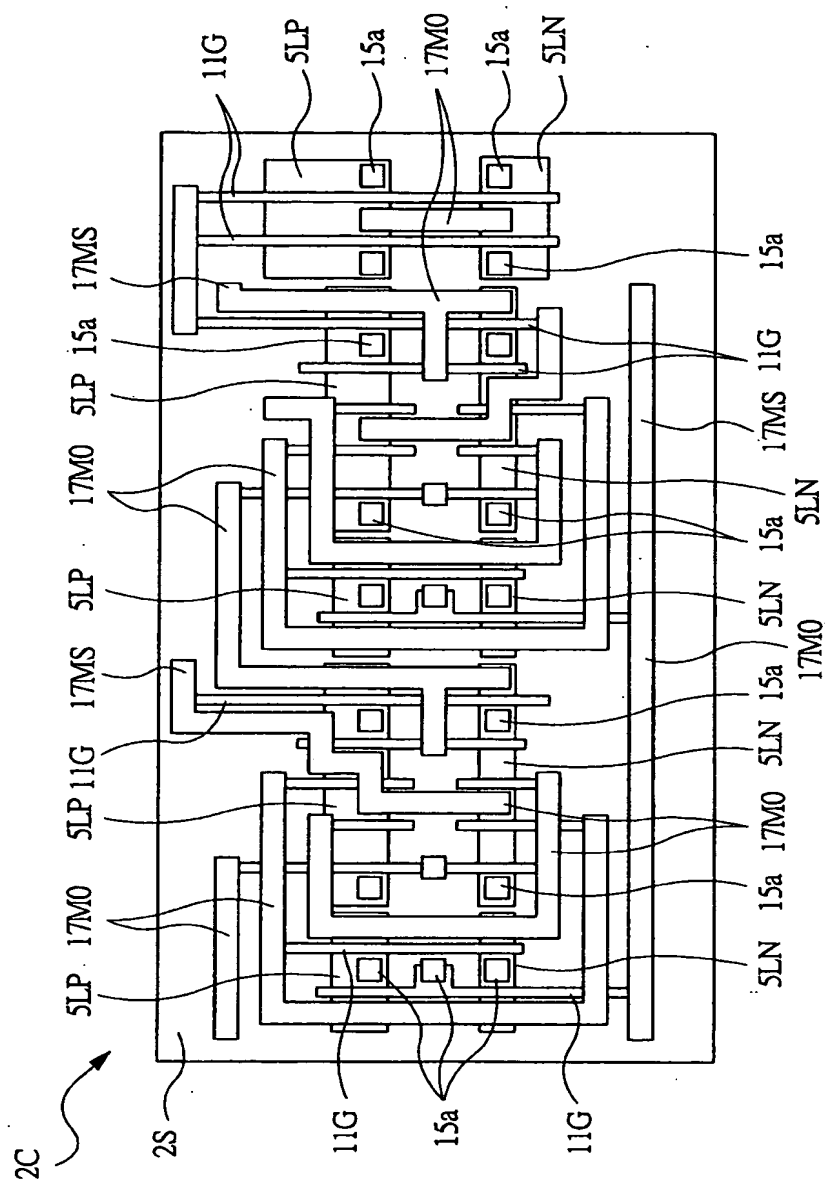


図 30



31





33

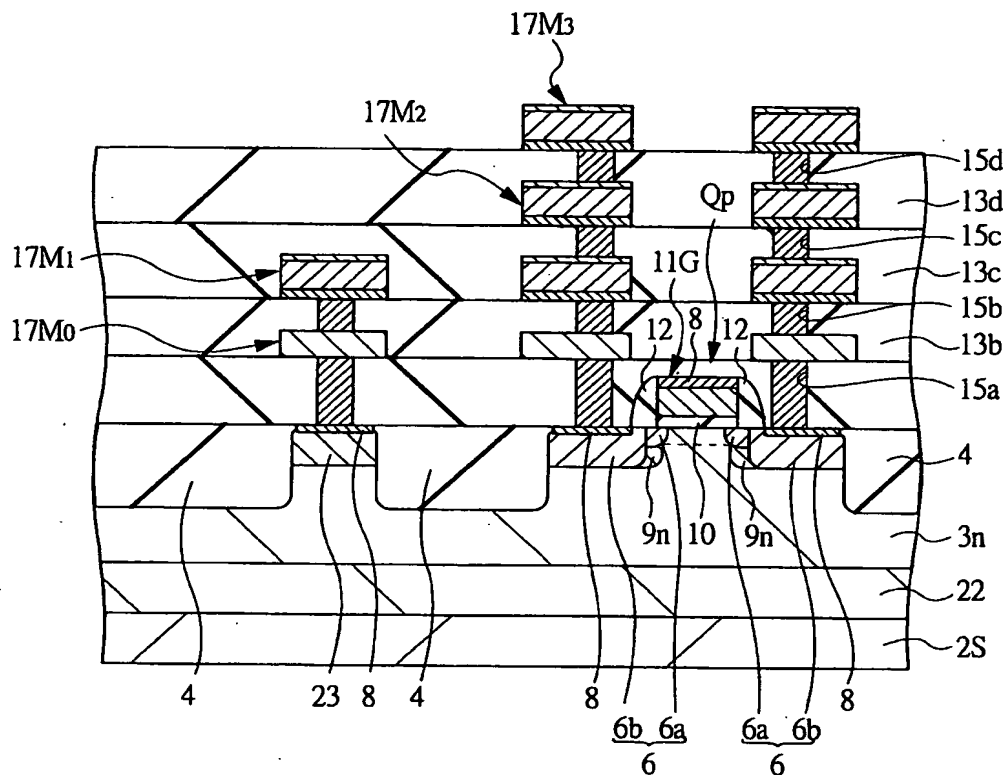


図 34

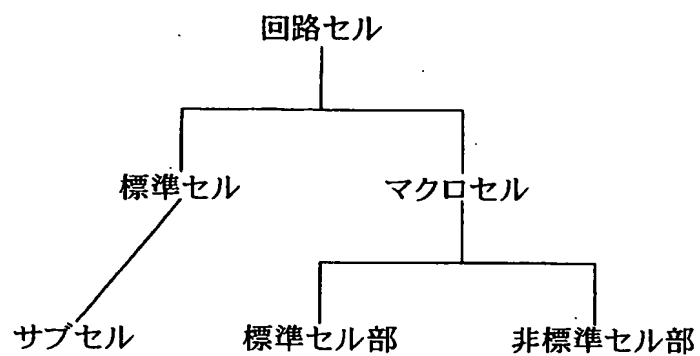
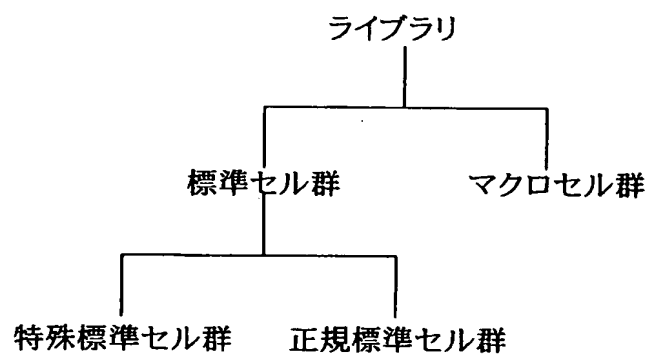


図 35



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08466

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L21/027, G03F7/20, H01L21/82

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/027, G03F7/20, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
DIALOD (INSPEC)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-163286, A (NEC Corporation), 18 June, 1999 (18.06.99),	1, 3, 5, 6, 7
Y	page 1 (Family: none)	2, 4, 11, 22, 32, 35
X	JP, 11-121636, A (Toshiba Corporation), 30 April, 1999 (30.04.99),	1, 3, 5, 6, 7
Y	page 1 (Family: none)	2, 4, 11, 22, 32, 35
X	JP, 11-74482, A (Nippon Steel Corporation), 16 March, 1999 (16.03.99),	1, 3, 5, 6, 7
Y	page 1 (Family: none)	2, 4, 11, 22, 32, 35
X	JP, 6-267834, A (Toshiba Corporation), 22 September, 1994 (22.09.94),	8-10, 12, 23, 36, 37
Y	page 1; Fig. 10 (Family: none)	2, 4, 11, 13-22, 2 4-35
Y	JP, 5-13313, A (Fujitsu Limited), 22 January, 1993 (22.01.93),	13-22, 24-34

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
27 February, 2001 (27.02.01)

Date of mailing of the international search report
06 March, 2001 (06.03.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08466

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	<p>Par. Nos. [0018] to [0019]; Fig. 2 (Family: none)</p>	

国際調査報告

国際出願番号 PCT/JPO0/08466

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/027, G03F7/20, H01L21/82

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/027, G03F7/20, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 DIALOD (INSPEC)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-163286, A (日本電気株式会社) 18. 6月. 1999 (18. 06. 99)	1, 3, 5, 6, 7
Y	第1頁 (ファミリーなし)	2, 4, 11, 22, 32, 35
X	J P, 11-121636, A (株式会社東芝) 30. 4月. 1999 (30. 04. 99)	1, 3, 5, 6, 7
Y	第1頁 (ファミリーなし)	2, 4, 11, 22, 32, 35

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27. 02. 01

国際調査報告の発送日

06 03.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岩本 勉

2M

9355

電話番号 03-3581-1101 内線 3274

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-74482, A (新日本製鐵株式会社) 16. 3月. 1999 (16. 03. 99)	1, 3, 5, 6, 7
Y	第1頁 (ファミリーなし)	2, 4, 11, 22, 32, 35
X	J P, 6-267834, A (株式会社東芝) 22. 9月. 1994 (22. 09. 94)	8-10, 12, 23, 36, 37
Y	第1頁、第10図 (ファミリーなし)	2, 4, 11, 13-22, 24-35
Y	J P, 5-13313, A (富士通株式会社) 22. 1月. 1993 (22. 01. 93) 【0018】 - 【0019】、第2図 (ファミリーなし)	13-22, 24-34